

SESSION 2024

**AGREGATION
CONCOURS EXTERNE**

Section : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR

**Option : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR
ET INGÉNIERIE ÉLECTRIQUE**

**MODÉLISATION D'UN SYSTÈME, D'UN PROCÉDÉ
OU D'UNE ORGANISATION**

Durée : 6 heures

Calculatrice autorisée selon les modalités de la circulaire du 17 juin 2021 publiée au BOEN du 29 juillet 2021.

L'usage de tout ouvrage de référence, de tout dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

Il appartient au candidat de vérifier qu'il a reçu un sujet complet et correspondant à l'épreuve à laquelle il se présente.

Si vous repérez ce qui vous semble être une erreur d'énoncé, vous devez le signaler très lisiblement sur votre copie, en proposer la correction et poursuivre l'épreuve en conséquence. De même, si cela vous conduit à formuler une ou plusieurs hypothèses, vous devez la (ou les) mentionner explicitement.

NB : Conformément au principe d'anonymat, votre copie ne doit comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé consiste notamment en la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de la signer ou de l'identifier.

Le fait de rendre une copie blanche est éliminatoire

Tournez la page S.V.P.

A

INFORMATION AUX CANDIDATS

Vous trouverez ci-après les codes nécessaires vous permettant de compléter les rubriques figurant en en-tête de votre copie.

Ces codes doivent être reportés sur chacune des copies que vous remettrez.

Concours	Section/option	Epreuve	Matière
EAE	1415A	102	2680

Définition de l'épreuve

À partir d'un dossier technique comportant les éléments nécessaires à l'étude, l'épreuve a pour objectif de vérifier que le candidat est capable de synthétiser ses connaissances pour modéliser un système technique dans le domaine de la spécialité du concours dans l'option choisie en vue de prédire ou de vérifier son comportement et ses performances.

Conseils aux candidats

Il est demandé aux candidats :

- de rédiger les réponses aux différentes parties sur des feuilles de copie séparées et clairement repérées ;
- de numéroter chaque feuille de copie et indiquer le numéro de la question traitée ;
- de rendre tous les documents réponses, même non complétés ;
- d'utiliser exclusivement les notations indiquées dans le sujet lors de la rédaction des réponses ;
- de justifier clairement les réponses ;
- d'encadrer ou souligner les résultats ;
- de présenter lisiblement les applications numériques, sans omettre les unités, après avoir explicité les expressions littérales des calculs ;
- de formuler les hypothèses nécessaires à la résolution des problèmes posés si celles-ci ne sont pas indiquées dans le sujet.

Organisation du sujet

Ce sujet se décompose de la façon suivante :

- un dossier de présentation et travail demandé (pages 2 à 20) ;
- des documents techniques (pages 21 à 45) ;
- des documents réponses (pages 46 à 48).

Semelle instrumentée pour le suivi médical

1. Mise en situation

Le support de l'étude repose sur un projet d'une équipe de recherche d'un laboratoire de l'Université Paris Saclay sur la conception et la mise en œuvre d'une semelle instrumentée pour le suivi médical de patients diabétiques. Pour des raisons de confidentialité, les auteurs de ce sujet ont été amenés à modifier volontairement quelques grandeurs et éléments des schémas des réalisations électroniques proposées tout en restant très proches des solutions techniques retenues par l'équipe de recherche.

Le diabète est une maladie chronique qui touche des millions de personnes à travers le monde et qui se caractérise par une élévation persistante du taux de sucre dans le sang entraînant un impact dévastateur sur la santé globale d'un individu. Cette maladie résulte généralement d'une perturbation du métabolisme de l'insuline, une hormone produite par le pancréas. L'insuline régule la façon dont notre corps utilise le glucose (sucre) pour produire de l'énergie. Lorsque cette régulation est altérée, le glucose s'accumule dans le sang, provoquant ainsi le diabète.

Le diabète se divise principalement en deux types. Le diabète de type 1 est généralement diagnostiqué chez les jeunes et correspond à une incapacité du corps à produire de l'insuline. Le diabète de type 2, quant à lui, est plus fréquent chez les adultes et résulte souvent d'une résistance à l'insuline, c'est-à-dire une situation où le corps ne réagit pas efficacement à cette hormone.

L'un des aspects les plus préoccupants du diabète concerne ses effets sur les pieds, dont les complications sont regroupées sous le terme de « pied diabétique ». En effet, les personnes atteintes de diabète sont plus susceptibles de développer des complications au niveau des pieds en raison de plusieurs facteurs, comme une mauvaise circulation sanguine, des lésions nerveuses ou une vulnérabilité accrue aux infections.

Les principales pathologies liées au pied diabétique incluent les ulcères comme le montrent la figure 1 et la photo 1, les infections, les déformations et les blessures non détectées. Ces pathologies peuvent aboutir dans les cas les plus graves à une amputation.

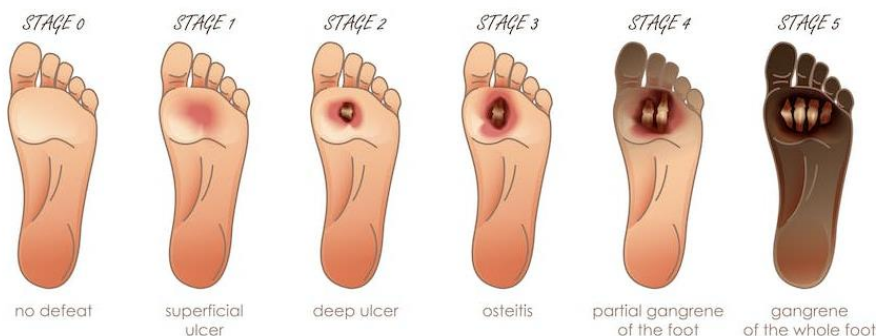


Figure 1 : Évolution d'un ulcère pour un pied diabétique

Photo 1 : Ulcère

Il existe bien évidemment des moyens de prévenir et de gérer ces complications. Une surveillance attentive des pieds, une hygiène rigoureuse, le port de chaussures adaptées et un contrôle adéquat de la glycémie sont essentiels pour minimiser les risques associés au pied diabétique. Dans l'idéal, une éducation adéquate des patients et des soins médicaux réguliers sont des éléments clés dans la gestion de cette condition.

Comme les ulcères du pied sont une complication fréquente et peuvent évoluer rapidement en raison de la réduction de la sensation et de la capacité du corps à guérir, l'équipe de recherche a donc développé une semelle instrumentée pour le suivi médical personnalisé de patient diabétique. L'idée proposée dans le projet de recherche consiste à développer des techniques de mesures non invasives associant l'exploitation des données sur le suivi de l'appui plantaire et la mesure des variations de la bio-impédance.

À terme l'objectif consiste à disposer d'une semelle intelligente et connectée permettant d'alerter suffisamment tôt le patient et son médecin sur l'apparition d'un ulcère potentiel et des complications associées.

Le système étudié dans ce sujet concerne l'électronique de traitement des signaux issus des capteurs et de la transmission radio sur les semelles des pieds gauche et droit. La figure 2 présente le schéma synoptique du système. La version étudiée dans ce sujet est basée sur le premier prototype fonctionnel développé par l'équipe de recherche et utilisé sur des patients tests.

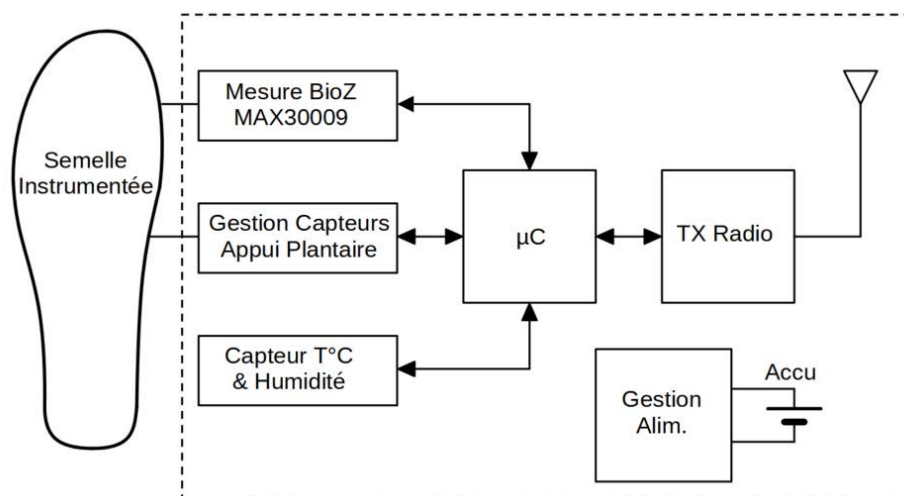


Figure 2 : Schéma synoptique de la semelle instrumentée

Chaque semelle est autonome en énergie et transmet par radio les mesures effectuées concernant la bio-impédance et le suivi de l'appui plantaire. Un petit boîtier également autonome porté par le patient autour de la taille enregistre les données des deux semelles pour une exploitation ultérieure.

Ce sujet comporte quatre parties indépendantes :

- Analyse de l'appui plantaire ;
- Mesure de la bio-impédance ;
- Système de transmission radio ;
- Synthèse et évolutions possibles.

2. Analyse de l'appui plantaire

Objectif : modéliser, valider et justifier le choix des solutions mises en œuvre pour l'analyse et le suivi de l'appui plantaire

2.1. Semelle avec capteur de force

Pour effectuer l'analyse de l'appui plantaire, l'équipe de recherche a sélectionné une semelle disposant de 16 capteurs de forces résistifs répartis sous le pied afin d'obtenir une bonne image de l'appui plantaire. La documentation commerciale de cette semelle FS-INS-16Z est donnée en annexe DT1. L'objectif recherché n'est pas d'obtenir une mesure absolue de très grande précision mais plutôt de suivre au cours du temps l'évolution des appuis du patient afin de détecter une démarche asymétrique appelée également claudication, marqueur d'un début de lésion. Chaque capteur dispose d'une surface active qui peut être représentée sous la forme indiquée à la figure 3.

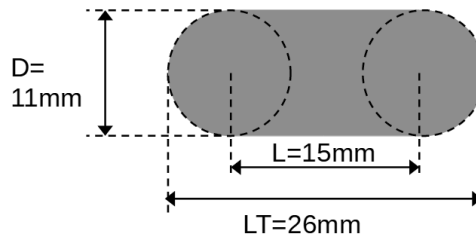


Figure 3 : Surface active du capteur

Question 1

Déterminer en mm^2 la surface d'appui pour un capteur de force.

Question 2

En utilisant la documentation commerciale, déterminer la force maximale en Newton qu'il est possible d'appliquer pour rester dans la zone de mesure de ce capteur. En déduire alors la pression maximale en kPa correspondante.

Question 3

En considérant un patient adulte de 70 kg et compte tenu de la géométrie de la semelle, déterminer si chaque capteur peut rester dans sa zone de mesure durant la marche de ce patient.

2.2. Mise en œuvre de la caractérisation des éléments la semelle

Comme la documentation commerciale de la semelle FS-INS-16Z ne propose pas de caractérisation précise des éléments capteurs, l'équipe de recherche a procédé à une caractérisation sur un banc motorisé 3 axes permettant d'effectuer une pression contrôlée sur la surface d'un capteur comme l'illustre la photo 2. Pour connaître avec précision la pression exercée sur la surface du capteur pour le banc motorisé, un capteur de pression FUTEK LSB200 FSH00107 suivi d'un amplificateur d'instrumentation INA128 sont mis en œuvre. Les extraits des documentations constructeurs de ces éléments sont fournis respectivement sur les documents annexes DT2 et DT3. La figure 4 donne une représentation schématisée du dispositif de caractérisation.

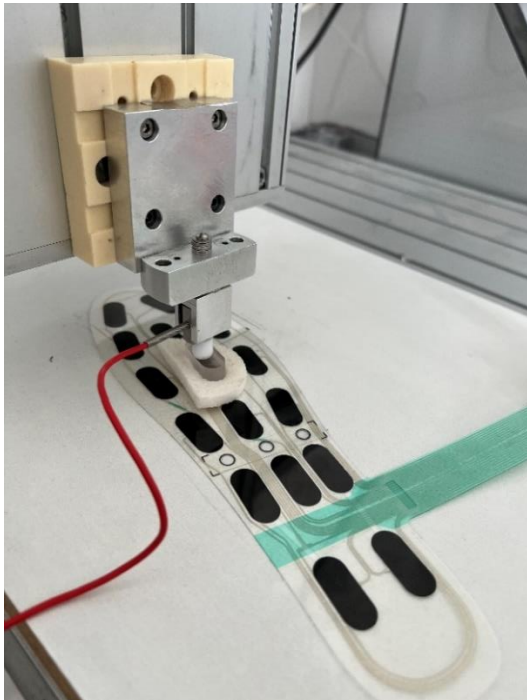


Photo 2 : Banc de caractérisation des capteurs de la semelle

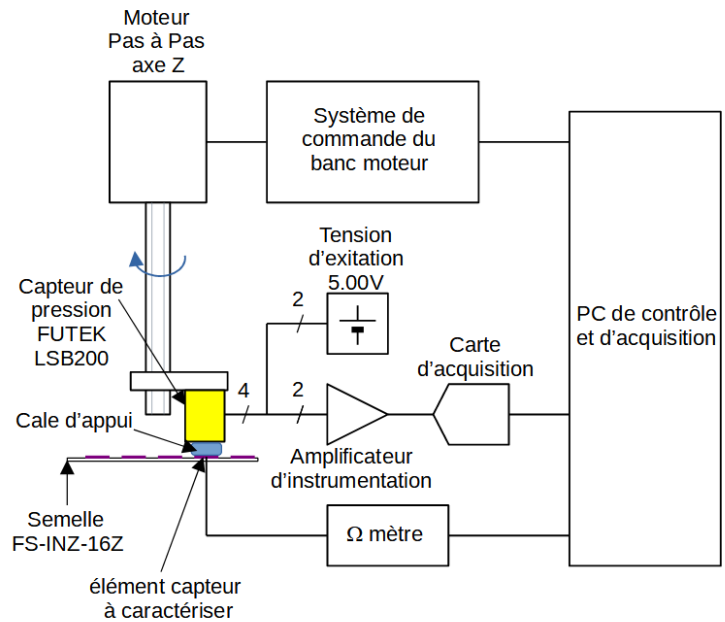


Figure 4 : Banc de caractérisation et instrumentation associée

Question 4

À partir des éléments fournis dans la documentation constructeur, proposer une représentation schématique du capteur de pression en précisant la signification des 4 fils de connexion. Préciser la technologie mise en œuvre dans ce type de capteur.

Question 5

Justifier que le modèle FSH00107 du capteur FUTEK LSB200 convient pour la caractérisation des capteurs de forces de la semelle.

Question 6

Le capteur FUTEK LSB200 est dans l'expérience uniquement utilisé en compression et la tension d'excitation est fixée précisément à 5V. En supposant que le capteur de pression est parfaitement linéaire et que la tension de sortie V_o reste constamment positive, représenter la caractéristique de transfert V_o en fonction de la pression P évoluant sur la pleine échelle du capteur (445 N).

Afin de faciliter l'acquisition des mesures de la pression exercée sur la semelle, le capteur FUTEK LSB200 est associé à un amplificateur d'instrumentation INA128. La sortie de cet amplificateur est alors connectée sur une carte d'acquisition de l'ordinateur pilotant le banc de mesure.

Question 7

Retrouver l'expression littérale du gain de l'amplificateur d'instrumentation exprimée dans la documentation constructeur du circuit INA128. La résistance R_G est fixée de sorte à obtenir une tension de sortie de 1V pour une pression exercée sur la semelle de 100N. Déterminer numériquement la valeur de R_G .

Question 8

Donner la signification du terme CMR utilisé dans les spécifications de l'amplificateur d'instrumentation. Justifier l'intérêt d'utiliser cet amplificateur à la place d'un simple montage amplificateur à base d'amplificateur opérationnel.

2.3. Mesures et interface de conditionnement associé

Suite à la caractérisation des 16 capteurs de la semelle obtenue en effectuant plusieurs mesures répétitives dans les mêmes conditions expérimentales, l'équipe de recherche aboutit à la caractéristique qui servira de référence pour un capteur. Cette caractéristique est présentée sur le document réponse DR1.

Question 9

La caractéristique peut être modélisée simplement par la relation $R_{FSR}(F) = R_0 + \frac{\beta}{F}$ où R_{FSR} désigne la résistance d'un capteur et F la force appliquée sur ce capteur. À partir de points judicieusement choisis à placer sur la caractéristique du capteur du document réponse DR1, déterminer les valeurs et unités des paramètres R_0 et β . Vérifier la validité de ce modèle sur quelques points différents à placer également sur la caractéristique.

La semelle FS-INS-16Z dispose de 2 réseaux de 8 capteurs. Chaque réseau dispose d'un point commun. Le circuit de mesure représenté sur la figure 5 se retrouve en 2 exemplaires afin de permettre l'analyse des 16 capteurs.

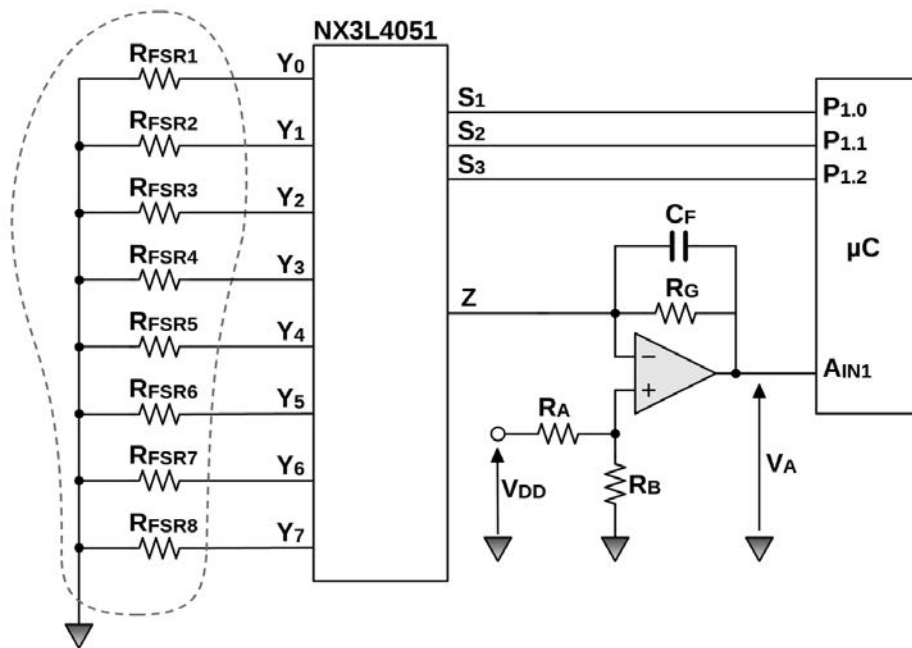


Figure 5 : Schéma du circuit de mesure pour une série de 8 capteurs

Comme le microcontrôleur utilisé dispose d'un nombre réduit d'entrée de conversion analogique numérique, le dispositif utilise un multiplexeur analogique NX3L4051 dont un extrait de documentation constructeur est donné en annexe DT4.

L'ensemble des composants utilisés sont alimentés sous une tension simple $V_{DD} = 3,3 \text{ V}$. Les valeurs des résistances utilisées (figure 5) sont : $R_A = 110 \text{ k}\Omega$, $R_B = 10 \text{ k}\Omega$ et $R_G = 750 \text{ k}\Omega$.

Question 10

L'amplificateur opérationnel est considéré parfait et fonctionne en régime linéaire. Pour l'étude proposée, le multiplexeur analogique est également considéré comme parfait. Expliquer la signification de cette dernière hypothèse.

Question 11

Le circuit NX3L4051 dispose d'une entrée /E non représentée sur le schéma de la figure 5. Déterminer le câblage de cette entrée pour obtenir le fonctionnement attendu du circuit de mesure.

Question 12

En se plaçant en régime continu et dans le cas où le microcontrôleur place les 3 entrées S_1 , S_2 et S_3 à l'état haut, exprimer la tension de sortie V_A en fonction des grandeurs du montage. Déterminer les variations de cette tension lorsque la force appliquée sur le capteur varie entre 0,5 N et 100 N. Valider la cohérence du dimensionnement.

Question 13

Représenter l'évolution temporelle des signaux de commande S_1 à S_3 du multiplexeur permettant d'obtenir une acquisition correcte de l'appui plantaire en considérant qu'une marche intense correspond à 120 pas par minute et que la décomposition d'un pas nécessite au minimum 20 points de mesures. En considérant que le convertisseur analogique numérique du microcontrôleur travaille sur 8 bits, déduire le débit binaire correspondant.

Question 14

Déterminer le rôle du condensateur C_F du montage représenté sur la figure 5. Proposer un dimensionnement de ce composant.

3. Mesure de la bio-impédance

Objectif : introduire le concept de bio-impédance et les éléments de base concernant sa mesure. Modéliser, valider et justifier la mise en œuvre du circuit de mesure dédié.

La bio-impédance désigne la mesure de la résistance de tissus biologiques par l'envoi d'un courant sinusoïdal de faible intensité (de l'ordre du milliampère) et de haute fréquence (5 Hz à 5 MHz) à travers des électrodes.

Son utilisation est très fréquente dans les balances pour le suivi de la composition corporelle en déterminant la quantité d'eau, de graisse et de muscles.

De nombreux travaux de recherches en cardiologie, en recherche de tumeurs cancéreuses sont développés autour de cette mesure. Dans le cadre de l'étude proposée par l'équipe de chercheur, il s'agit ici d'effectuer des mesures sur l'évolution de la bio-impédance de patient diabétique pour des pieds susceptibles de développer une plaie.

3.1. Modélisation de l'impédance de tissus biologiques

La bio-impédance comporte une composante de nature capacitive, la réactance X, qui dépend des membranes cellulaires et une composante résistive R, qui dépend essentiellement des fluides intra et extra cellulaires. Selon leurs fréquences, les courants traversent ou non les cellules comme illustré en figure 6. Ainsi, les courants à basses fréquences (inférieures à quelques kHz) ne traversent pas les membranes cellulaires, tandis que les courants à hautes fréquences permettent l'étude de la résistance des secteurs intra et extra-cellulaire.

Afin de prendre en compte la variation de l'impédance en fonction de la fréquence le modèle de Cole-Cole représenté sur la figure 7 permet d'obtenir une bonne représentation de la bio-impédance.

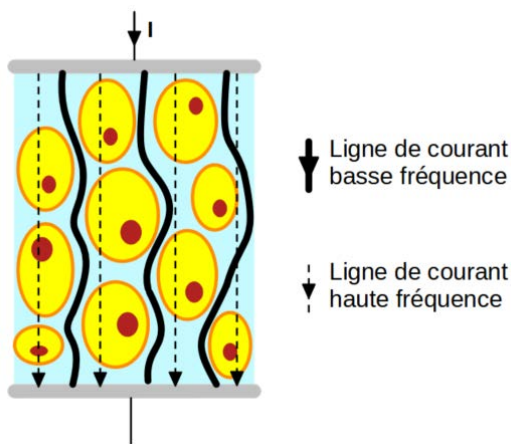


Figure 6 : Circulation d'un courant alternatif dans un tissu biologique

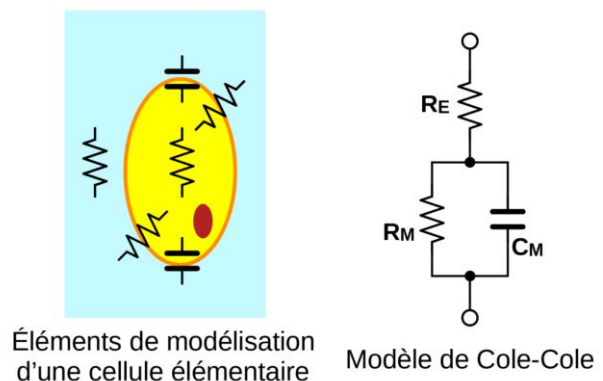


Figure 7 : Modèle électrique équivalent d'une cellule biologique élémentaire

Question 15

Pour le modèle considéré, exprimer l'impédance complexe équivalente Z_{BIO} en fonction des éléments R_E , R_M , C_M et de la pulsation ω sous une forme algébrique en identifiant les parties réelle et imaginaire.

Question 16

Représenter l'évolution de cette impédance dans un diagramme de Nyquist pour une fréquence variant entre 0 et $+\infty$ en précisant la forme et les points caractéristiques de ce tracé. Rechercher notamment la pulsation qui donne une valeur imaginaire minimale de l'impédance Z_{BIO} .

Question 17

Compléter le document réponse DR2 dans le cas où le modèle proposé est décrit par les éléments suivants : $R_E = 3 \text{ k}\Omega$, $R_M = 5 \text{ k}\Omega$ et $C_M = 640 \text{ pF}$. Indiquer les points caractéristiques pour quelques valeurs de fréquences judicieusement choisies entre 5 Hz et 5 MHz.

3.2. Techniques de mesure d'une impédance

Afin de mesurer l'impédance d'un tissu biologique en fonction de la fréquence, il suffit d'injecter un courant sinusoïdal et d'effectuer une mesure de la tension résultante. Dans le cas d'une mesure avec 2 points l'impédance alors caractérisée inclue les impédances de contact électrode-tissu biologique (Z_{EL} sur la figure 8). La méthode de mesure préconisée est celle à 4 points. Ces méthodes sont illustrées sur la figure 8.

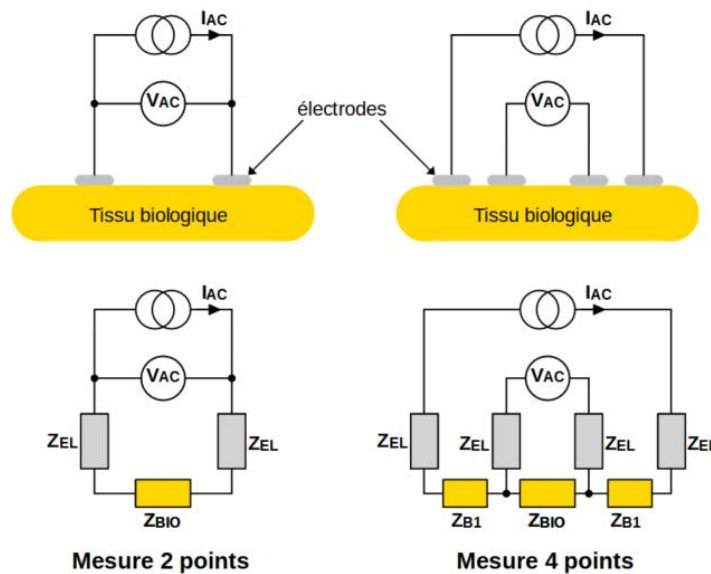


Figure 8 : Méthodes de mesure à 2 et 4 points

Question 18

Commenter les deux méthodes proposées et les modélisations associées et expliquer l'intérêt de la mesure à 4 points.

Dans les techniques de mesures d'impédances, la conception d'une source de courant généralement contrôlée en tension est un des points essentiels. La source de courant dite de Howland (dont le schéma dans sa version classique est représentée sur la figure 9a) permet sous certaines conditions d'obtenir un courant I_L indépendant de la charge Z_L .

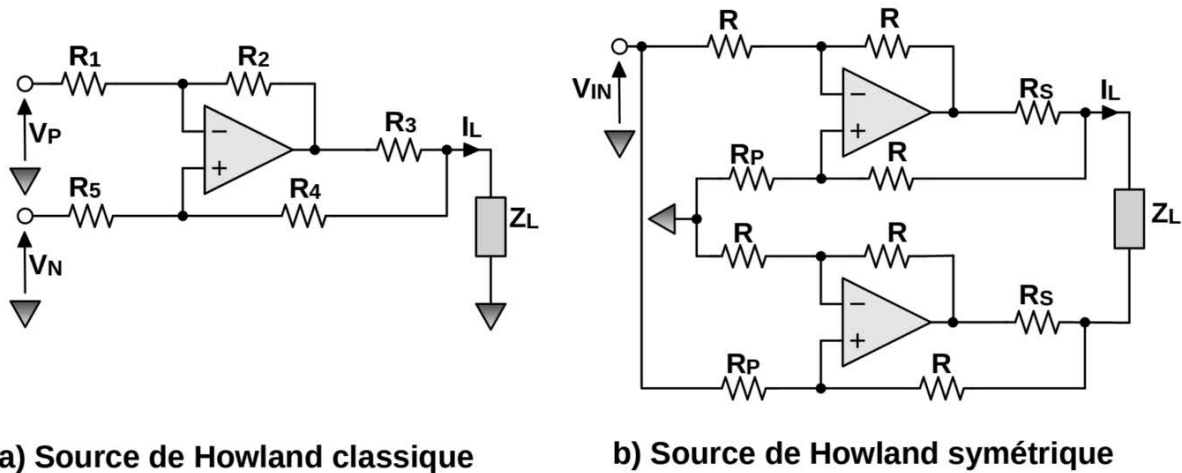


Figure 9 : Schéma des sources de courant pour la mesure d'impédance

Question 19

L'amplificateur opérationnel supposé parfait fonctionne en régime linéaire. Rappeler la signification de ces hypothèses. Exprimer alors le courant I_L pour la source de Howland classique en fonction des tensions d'entrée V_P et V_N , des résistances R_1 , R_2 , R_3 , R_4 et R_5 ainsi que de l'impédance de charge Z_L .

Question 20

À partir de l'expression précédente, déterminer la condition entre les résistances qui permet d'obtenir une véritable source de courant. En déduire la nouvelle expression de I_L en fonction des tensions V_P et V_N et des résistances du montage.

Le montage proposé nécessite un point de masse commun entre les sources de tension en entrée et l'impédance de charge. Une version évoluée est proposée sur le schéma b) de la figure 9.

Question 21

En utilisant les résultats précédents, déterminer la condition sur les résistances R , R_P , et R_S permettant d'obtenir une véritable source de courant. En déduire la nouvelle expression du courant I_L en fonction de la tension V_{IN} et des résistances du montage.

3.3. Source de courant avec le circuit MAX30009

Afin de faciliter la mesure et la mise en œuvre du dispositif de mesure de bio-impédance, les concepteurs se sont orientés vers l'utilisation d'un circuit dédié MAX30009 dont un extrait de documentation constructeur est fourni sur le document DT5.

Question 22

La source de courant mise en œuvre dans le circuit MAX30009 peut dans un premier temps se simplifier sous la forme du schéma représenté sur la figure 10. Exprimer la valeur du courant I_{OUT} et discuter des hypothèses permettant de considérer ce montage comme une véritable source de courant.

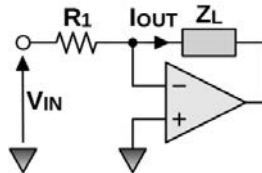


Figure 10 : Schéma simplifié de la source de courant du circuit MAX30009

Question 23

Détailler les possibilités de réglages de la source de courant du circuit MAX30009 et les contraintes et limitations dans l'utilisation de ce circuit.

Question 24

Justifier simplement les noms des commandes BIOZ_DRV_RESET et BIOZ_DC_RESTORE représentées sur la figure 7 du document DT5 mises en œuvre dans la source de courant du circuit MAX30009.

Question 25

Expliquer le rôle des 2 condensateurs de 47 nF sur la figure 7 du DT5 concernant la source de courant sinusoïdale.

3.4. Principe de la détection synchrone et conversion analogique/numérique

Le circuit MAX30009 intègre une détection synchrone complète pour la mesure de l'impédance complexe. Son étude est l'objet de cette partie. Le schéma de la figure 11 est une version simplifiée du dispositif implanté dans le circuit MAX30009 comme le montre le schéma de la structure interne. L'amplificateur d'instrumentation INA et le gain programmable en entrée du convertisseur sigma-delta ($\Sigma\Delta$) sont remplacés par un unique amplificateur programmable dont le coefficient K peut prendre les valeurs 1, 2, 5 ou 10. Le courant sinusoïdal I_{DDS} , dont la valeur maximale I_M est configurable, est injecté à travers la bio-impédance Z_{BIO} à caractériser.

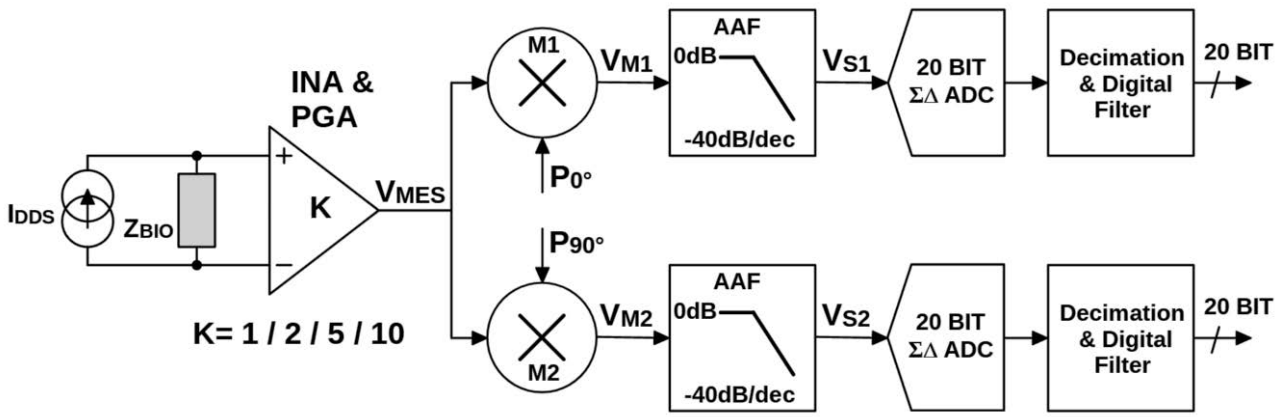


Figure 11 : Schéma de principe simplifié de la détection synchrone

Les signaux internes P_{0° et P_{90° sont utilisés par des multiplieurs par ± 1 et sont représentés en concordance de temps avec la source de courant sinusoïdale comme l'indique les chronogrammes de la figure 12.

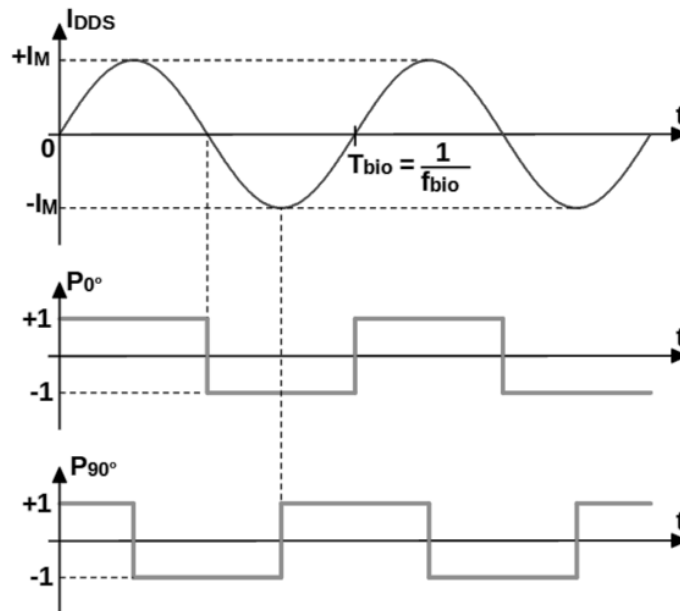


Figure 12 : Signaux intervenants dans la détection synchrone

Question 26

À partir de la représentation temporelle proposée sur la figure 12, donner l'expression du courant I_{DDs} en fonction du temps et en déduire l'expression de V_{MES} en régime permanent en fonction du module et de l'argument de l'impédance Z_{BIO} .
Exprimer les signaux P_{0° et P_{90° en utilisant une écriture faisant apparaître les trois premiers termes non nuls de la décomposition en série de Fourier.

Question 27

Le multiplieur M1 réalise une simple multiplication entre le signal V_{MES} et le signal P_{0° . En déduire l'expression de V_{M1} et montrer que celle-ci peut s'écrire sous la forme d'une composante continue et de plusieurs composantes fréquentielles en précisant les expressions des fréquences.

Question 28

En supposant que la fréquence de test f_{bio} est très grande devant la fréquence de coupure du filtre AAF (f_c), exprimer simplement le signal de sortie du filtre V_{S1} .

Question 29

En s'inspirant de la démarche précédente et en utilisant les résultats précédents, exprimer le signal de sortie V_{S2} . Montrer alors que la numérisation des signaux V_{S1} et V_{S2} permet de déterminer complètement l'impédance Z_{BIO} pour la fréquence de test considérée.

Question 30

Rappeler la signification du terme AAF et le rôle de ce filtre dans la détection synchrone. Déterminer la fréquence de coupure f_c de ce filtre. Pour quelle raison la fréquence de coupure du filtre AAF n'est-elle pas choisie plus petite dans le circuit MAX30009 ?

Question 31

En plus de l'intérêt évident pour la caractérisation d'une impédance complexe, la détection synchrone présente un intérêt majeur en termes d'amélioration du rapport signal à bruit. Expliquer simplement cette propriété de la détection synchrone d'un point de vue fréquentiel en supposant qu'un bruit blanc gaussien centré est superposé au signal de mesure V_{MES} .

3.5. Conversion analogique/numérique et filtre décimateur

Question 32

La numérisation du signal de mesure sur les 2 voies de la détection synchrone est assurée par un convertisseur $\Sigma\Delta$. Expliquer l'intérêt de ce type de convertisseur analogique numérique et les techniques mises en œuvre permettant d'obtenir une résolution aussi importante que les 20 bits annoncés dans la documentation constructeur.

Le filtre décimateur mis en œuvre dans le convertisseur $\Sigma\Delta$ permet de réduire la fréquence d'échantillonnage d'un facteur D . Ce facteur qui est généralement une puissance de 2 permet d'abaisser la fréquence $BIOZ_ADC_CLK$ à la valeur indiquée par SR_BIOZ . Le filtre décimateur implanté dans le MAX30009 possède une réponse de type SINC3 ce qui signifie que la réalisation de ce filtre peut être représentée sous la forme du schéma bloc de la figure 13.

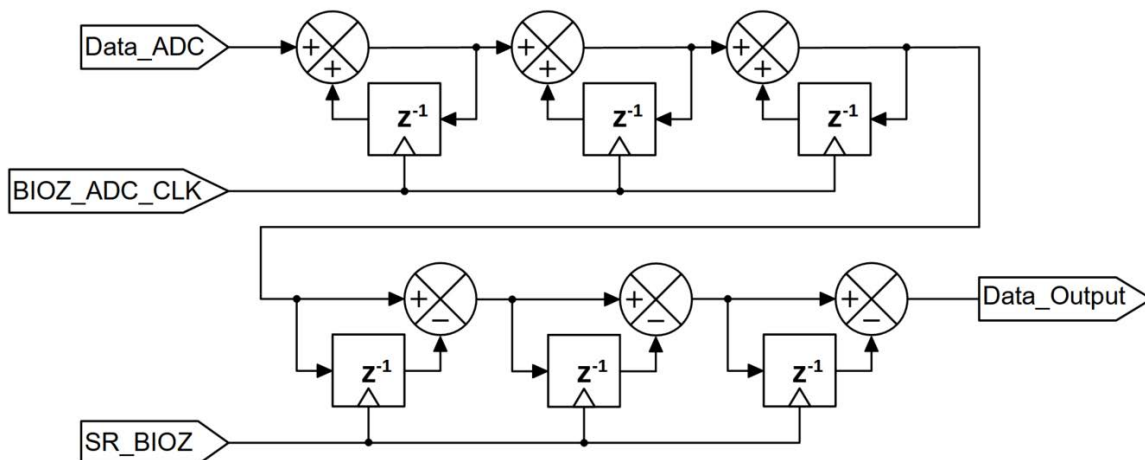


Figure 13 : Implantation du filtre numérique SINC3

Question 33

Pour simplifier la notation, la fréquence d'échantillonnage des données issues du convertisseur analogique numérique BIOZ_ADC_CLK est remplacée par F_e . Exprimer la fréquence SR_BIOZ en fonction de F_e et du coefficient D . Montrer qu'il est alors possible de représenter ce filtre en utilisant une fréquence d'échantillonnage unique F_e et des opérateurs retard z^{-D} .

Question 34

À partir de la nouvelle représentation du filtre, montrer simplement que la fonction de transfert en z de ce filtre numérique peut s'écrire sous la forme suivante dans laquelle le coefficient $\left(\frac{1}{D}\right)^3$ permet d'effectuer une mise à l'échelle non représentée sur le schéma de la figure 13.

$$H(z) = \left(\frac{1}{D} \cdot \frac{1 - z^{-D}}{1 - z^{-1}}\right)^3$$

Question 35

Rappeler l'équivalence entre l'opérateur z^{-1} et la notation complexe jf et la fréquence d'échantillonnage F_e . En déduire alors le module de la fonction de transfert $|H(jf)|$ et tracer l'allure de cette fonction pour $D=8$ pour une fréquence f comprise entre 0 et une limite à préciser.

Question 36

À partir des informations données dans la documentation constructeur, déterminer la fréquence de coupure de ce filtre décimateur. En utilisant l'expression du module de la fonction de transfert, vérifier que cette valeur est cohérente quelle que soit la valeur du facteur de décimation $D \geq 8$.

3.6. Analyse de l'interface de communication

Le circuit MAX30009 est piloté par le microcontrôleur via une interface de communication série.

Question 37

Donner les deux interfaces de communication proposées par le circuit MAX30009 en expliquant les différences fondamentales des deux modes de communications associés.

Question 38

L'interface mise en œuvre dans l'application utilise entre autres les signaux SDI et SCLK dans les échanges avec le microcontrôleur. Dans ces conditions, déterminer le niveau à appliquer sur l'entrée CSB/I2C_SEL.

Question 39

Représenter les signaux de communication au cours du temps entre le microcontrôleur et le circuit MAX30009 pour l'écriture du registre BIOZ_Configuration3[7:0] dans le cas de la configuration suivante :

- courant RMS fixé à 3,2µA
- BIOZ_EXT_RES = 0
- LOFF_RAPID = 1
- BIOZ_DRV_MODE[1 :0] = 0 0

4. Système de transmission radio

Objectif : modéliser, valider et justifier le choix des composants mis en œuvre pour la transmission radio entre la semelle instrumentée et le boîtier d'acquisition.

4.1. Analyse du circuit retenu pour la transmission radio

La collecte des mesures entre la semelle instrumentée et le boîtier d'acquisition est effectuée par une transmission radio dans la bande de fréquence 433,05 MHz à 434,79 MHz conforme aux spécifications du standard ETSI EN 300-220. Cette bande, connue sous le terme ISM (Industriel Scientifique Médical), ne nécessite pas de licence radio car la puissance d'émission est inférieure à +10 dBm.

Bien qu'il existe un certain nombre de solutions prêtes à l'emploi, l'équipe de recherche a développé une solution configurable et mise en œuvre sur d'autres projets autour du circuit ADF7012 et dont un extrait de documentation technique est disponible sur le document DT6. Les deux émetteurs pour les semelles gauche et droite sont sensiblement identiques et seules diffèrent les fréquences porteuses gauche $f_{pg} = 433,8$ MHz et droite $f_{pd} = 434,2$ MHz. Dans la suite des questions, l'étude se concentre sur la voie gauche.

La transmission des données numériques est effectuée à partir d'une modulation FSK (Frequency Shift Keying) dont les paramètres de réglage sont une déviation $\Delta f = 50$ kHz et un débit de $38,4$ kbit·s⁻¹.

Question 40

Le circuit proposé est construit autour d'une synthèse de fréquence par boucle à verrouillage de phase (Phased Locked Loop, PLL). Représenter sous la forme d'un schéma bloc les éléments principaux de cette structure et expliquer leur rôle. Préciser l'intérêt de cette structure dans le cadre de la génération de fréquence porteuse par rapport à l'emploi d'un simple oscillateur.

Question 41

Rappeler le principe d'une modulation FSK en indiquant les paramètres caractéristiques de cette modulation et leur influence en termes d'occupation spectrale.

Question 42

Déterminer la longueur d'une antenne quart-d'onde mise en œuvre pour ce type d'émetteur radio.

Question 43

Détailler le principe mis en œuvre dans le circuit ADF7012 permettant d'obtenir une modulation FSK avec la synthèse de fréquence par PLL. Lister les autres méthodes permettant d'obtenir une modulation FSK autour d'une synthèse de fréquence par PLL. Expliquer les intérêts et inconvénients de chacune de ces méthodes.

Question 44

La fréquence de travail du comparateur de phase est fixée à 4,9152 MHz. Déterminer la valeur du diviseur de fréquence N en précisant le choix des valeurs N_{int} et N_{frac} du registre correspondant.

Question 45

Déterminer la valeur des bits D9 à D1 du modulation register pour obtenir la modulation FSK souhaitée.

4.2. Étude du fonctionnement du comparateur de phase

Le comparateur de phase dans une boucle à verrouillage de phase est un élément essentiel dont le rôle est de fournir une grandeur de sortie proportionnelle à l'écart de phase entre les signaux d'entrée. Dans le cadre de la synthèse de fréquence, il s'agit d'un comparateur de type phase/fréquence (Phase Frequency Detector) mettant en œuvre une sortie courant (charge pump) et dont le schéma de principe est représenté sur la figure 14.

Ce comparateur est construit autour de deux bascules D. Les sources de courant I_{CP} sont commandées par le niveau haut des sorties Q1 et Q2. Pour assurer un bon fonctionnement de ce comparateur, il est indispensable de prendre en considération un délai (t_d) au niveau de la porte logique ET utilisée pour la commande des entrées de remise à zéro asynchrone (CLR).

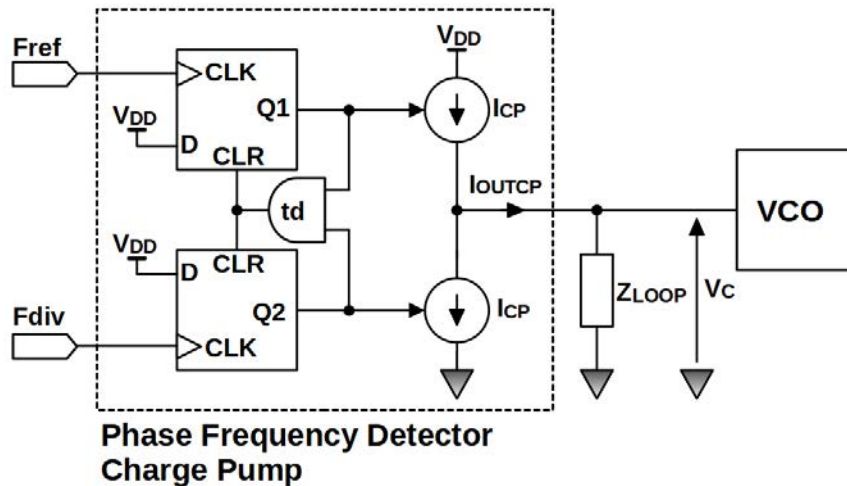


Figure 14 : Principe du comparateur de phase

Question 46

Montrer simplement qu'une porte logique ou-exclusif utilisée dans certaines boucles à verrouillage de phase ne peut pas convenir dans ce type d'application.

Question 47

Afin d'analyser le comportement de ce comparateur, compléter le document réponse DR3 en complétant les chronogrammes des signaux Q1, Q2, CLR et I_{OUTCP} . Comme le VCO (Voltage Controlled Oscillator) nécessite une tension de commande, l'impédance Z_{LOOP} assure une conversion courant tension. Le courant d'entrée du VCO est nul. Représenter l'évolution de la tension de commande V_c dans le cas où l'impédance Z_{LOOP} est un simple condensateur $C = 100 \text{ pF}$ en sachant que $I_{CP} = 2 \text{ mA}$. Justifier alors le bon fonctionnement de cet ensemble.

Question 48

Ce comparateur de phase délivrant une grandeur de sortie sous la forme d'un courant, représenter sa caractéristique de transfert $\langle I_{OUTCP} \rangle$ en fonction du déphasage $\Delta\varphi$ des signaux d'entrée pour $\Delta\varphi$ compris entre -2π et $+2\pi$. En déduire le gain de conversion K_{CP} en fonction de I_{CP} en précisant l'unité de ce gain.

4.3. Configuration du VCO

Question 49

Préciser la technologie mise en œuvre pour la réalisation du VCO interne au circuit ADF7012. Indiquer les propriétés du composant élémentaire interne au circuit utilisé pour obtenir des variations de fréquence en fonction de la tension de commande.

Question 50

Le concepteur choisit une inductance externe $L_{EXT} = 22 \text{ nH}$. Justifier ce choix.

Question 51

Une mise en œuvre de la boucle à verrouillage de phase permet de déterminer un gain de conversion du VCO $K_V = 28 \text{ MHz}\cdot\text{V}^{-1}$. Justifier cette valeur et décrire la méthode expérimentale qui permet d'obtenir cette mesure.

4.4. Modélisation de la PLL

Le modèle de la PLL conduit au schéma bloc proposé sur la figure 15 dans lequel N et R désignent les diviseurs de fréquences, I_{CP} la valeur des générateurs de courant interne au comparateur de phase, $Z_{LOOP}(p)$ l'impédance équivalente du filtre de boucle et K_V le gain de conversion du VCO.

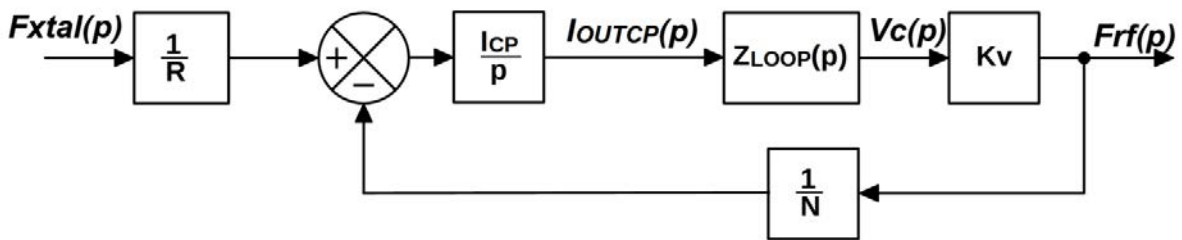


Figure 15 : Schéma bloc de la PLL

Question 52

Justifier le modèle proposé en détaillant la modélisation du comparateur de phase.

Question 53

Déterminer la fonction de transfert en boucle ouverte $TBO(p)$ de cette boucle lorsque l'impédance Z_{LOOP} est constituée d'un simple condensateur C_0 . Discuter de la stabilité de cette boucle en représentant le diagramme de Bode de cette fonction de transfert.

Question 54

L'impédance Z_{LOOP} est remplacée par le schéma de la figure 16 dans lequel un réseau correcteur R_1 et C_1 est ajouté. Montrer que l'impédance Z_{LOOP} peut s'écrire sous la forme suivante. Préciser les expressions des pulsations ω_1 et ω_2 en fonction des composants C_0 , R_1 et C_1 .

$$Z_{LOOP}(p) = \frac{1}{(C_0 + C_1) \cdot p} \cdot \frac{1 + \frac{p}{\omega_1}}{1 + \frac{p}{\omega_2}}$$

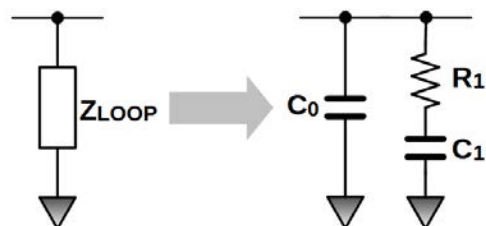


Figure 16 : Impédance de boucle

Question 55

Exprimer la fonction de transfert en boucle ouverte $TBO(p)$ sous la forme indiquée ci-dessous. Préciser l'expression de la pulsation ω_3 en fonction des composants et grandeurs de la boucle.

$$TBO(p) = \left(\frac{\omega_3}{p}\right)^2 \cdot \frac{1 + \frac{p}{\omega_1}}{1 + \frac{p}{\omega_2}}$$

Question 56

Montrer que $\omega_2 > \omega_1$. Tracer le diagramme de Bode de la fonction de transfert en boucle ouverte asymptotique puis son allure réelle en gain et en phase dans le cas où les pulsations sont telles que : $\omega_2 > \omega_3 > \omega_1$.

Question 57

Montrer que la marge de phase optimale est obtenue en choisissant la pulsation de transition ω_T telle que $\omega_T = \sqrt{\omega_1 \cdot \omega_2}$. La pulsation de transition ω_T correspond à la pulsation pour laquelle le gain en dB de la fonction de transfert en boucle ouverte est nul.

Question 58

Sachant que $\arctan(x) + \arctan\left(\frac{1}{x}\right) = \frac{\pi}{2} \quad \forall x > 0$, montrer que la marge de phase optimale peut s'écrire sous la forme suivante : $M\varphi_{optim} = 2 \cdot \arctan\left(\sqrt{\frac{\omega_2}{\omega_1}}\right) - \frac{\pi}{2}$

Proposer une écriture de cette marge de phase optimale uniquement en fonction des condensateurs C_0 et C_1 .

Le concepteur du transmetteur donne les valeurs normalisées $C_0 = 560$ pF et $C_1 = 3,9$ nF. Déterminer la marge de phase en degré et commenter le résultat obtenu.

Question 59

Exprimer le module de la fonction de transfert $TBO(p)$ pour la pulsation de transition ω_T et en déduire une expression de R_1 . Effectuer l'application numérique en reprenant les valeurs de N , K_V et I_{CP} précédentes.

Question 60

Déterminer la bande passante du filtre de boucle qui correspond à la fréquence pour laquelle la fonction de transfert en boucle ouverte passe par 0dB. Justifier ce choix compte tenu des éléments fixés pour la modulation FSK et des recommandations du circuit ADF7012.

Question 61

Dans la réalisation finale, le concepteur est conduit à rajouter un filtre supplémentaire comme l'indique la figure 17. Expliquer l'intérêt de ce filtre. Préciser le choix à effectuer pour ne pas affecter la stabilité de la boucle.

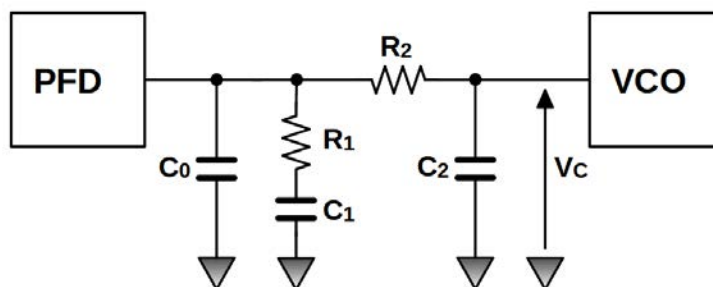


Figure 17 : Filtre de boucle complet

4.5. Étage de sortie et filtrage des harmoniques

Le circuit ADF7012 possède un amplificateur de puissance (PA) intégré de classe E.

Question 62

Préciser ce que désigne la classe de fonctionnement d'un amplificateur de puissance et expliquer simplement le principe de la classe E couramment utilisé dans les amplificateurs de radiofréquence.

Question 63

Déterminer la conséquence en termes d'harmoniques de l'utilisation de cet amplificateur de puissance seul. Commenter les résultats proposés sur la figure 14 de la documentation constructeur DT6.

Afin de réduire la présence d'harmoniques, le constructeur du circuit préconise l'utilisation d'un filtre en Π du 5^e ordre dont le schéma est donné sur la figure 18. Les résistances R représentent l'impédance caractéristique 50Ω de l'étage de sortie de l'amplificateur et de la charge.

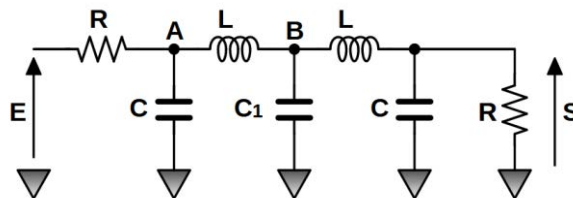


Figure 18 : Filtre en sortie pour la réduction des harmoniques

Question 64

En appliquant le théorème de Millman successivement aux points A, B et sur la sortie, montrer que la fonction de transfert peut s'écrire sous la forme suivante. Préciser les expressions des paramètres a , b et c en fonction des éléments du filtre. Justifier simplement la présence du facteur $\frac{1}{2}$ dans l'expression de la fonction de transfert.

$$\frac{S(j\omega)}{E(j\omega)} = \frac{1}{2} \cdot \frac{1}{1 + \frac{jL\omega}{R} + LC(j\omega)^2} \cdot \frac{1}{1 + a \cdot (j\omega) + b \cdot (j\omega)^2 + c \cdot (j\omega)^3}$$

Les éléments du filtre $L = 22 \text{ nH}$, $C = 3,3 \text{ pF}$ et $C_1 = 10,9 \text{ pF}$ (association en parallèle de deux condensateurs de $8,2 \text{ pF}$ et $2,7 \text{ pF}$) permettent d'obtenir une réponse conforme aux filtres de Butterworth dont le dénominateur D caractéristique peut s'écrire sous la forme suivante :

$$D = (1 + s) \cdot (1 + 1,618 \cdot s + s^2) \cdot (1 + 0,618 \cdot s + s^2) \text{ avec } s = \frac{j\omega}{\omega_c}$$

Question 65

Vérifier que le choix des éléments est conforme au réglage d'un filtre de Butterworth et en déduire la valeur de la fréquence de coupure de ce filtre.

Question 66

Le module des filtres de Butterworth peut s'écrire sous la forme ci-contre dans laquelle n désigne l'ordre du filtre.

$$\left| \frac{S(j\omega)}{E(j\omega)} \right| = \frac{1}{2} \cdot \frac{1}{\sqrt{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}}}$$

Calculer l'atténuation en dB de ce filtre pour les harmoniques de rang 2 et 3 correspondant aux indications de la figure 14 de la documentation constructeur DT6. Justifier alors les observations et mesures obtenues sur la figure 15 de la documentation DT6.

5. Synthèse et évolutions possibles

Objectif : conclure sur le système et préconiser des évolutions possibles

Question 67

À partir d'une estimation de la consommation en courant pour chaque partie de la semelle instrumentée dont le schéma synoptique est donné sur la figure 2, proposer les éléments nécessaires à l'alimentation de ce système.

Question 68

Le système de transmission proposé dans la partie 4 est basé sur une solution initialement développée pour d'autres projets de recherche. Dans le cadre d'un déploiement des essais sur un échantillon de patients et pour favoriser la collecte d'informations, proposer une évolution du système de transmission.

Les auteurs remercient les équipes du laboratoire pour la mise à disposition des informations ayant permis l'élaboration de ce sujet.

Sitographie :

Figure 1 : © Adobe Stock / anna yakovets

Photo 1 : Pied diabétique infecté : du diagnostic à la prise en charge

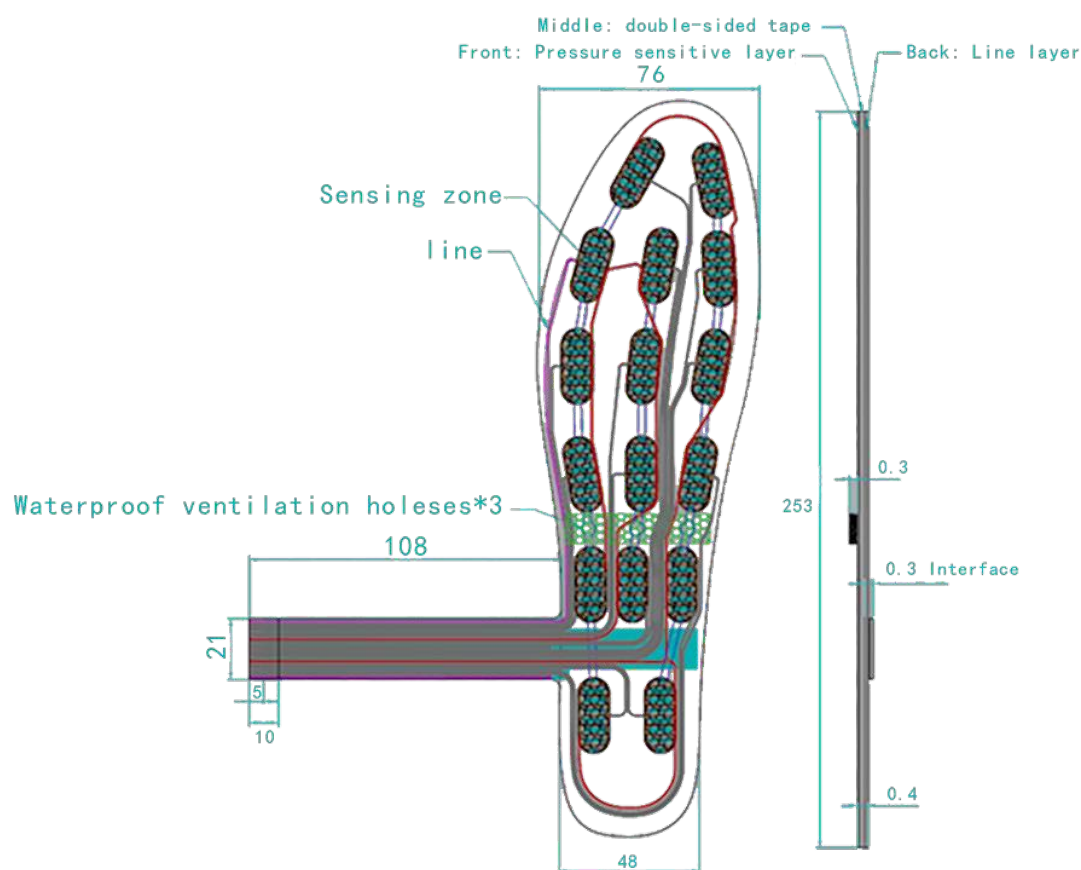
<https://www.revmed.ch/revue-medicale-suisse/2015/revue-medicale-suisse-477/pied-diabetique-infecte-du-diagnostic-a-la-prise-en-charge>

DT1 : Documentation commerciale FS-INS-16Z Array Sensor (1 page)

Pressure Mapping FS-INS-16Z Foot pressure distribution is an insole pressure sensor with 16 sensing points, 16 special-purposed terminals for 16 sensing points, 2 common terminals, and 2 NUL terminals, total 20 terminals. It's total length is 253MM, size 41 for CHN, size 8 for USA, 41 for EUR

Array Sensor features

- Pressure distribution measurement
- Running analysis, Feet analysis
- Pressing object shape recognition
- Smart insole



Main Specification

Thickness:	0.4mm	Response time:	<10us
Shape:	Sheet	Operating temperature:	-40°C~+85°C
Actuation force :	500g	Life time:	>1 million
Sensitivity range :	500g-10kg	Repeatability	+/-10% @ 2kg.Single
Resolution :	continuous	Dust/Waterproof	IP67
Non-actuated resistance :	>1MΩ		

FUTEK MODEL LSB200 (L2357)

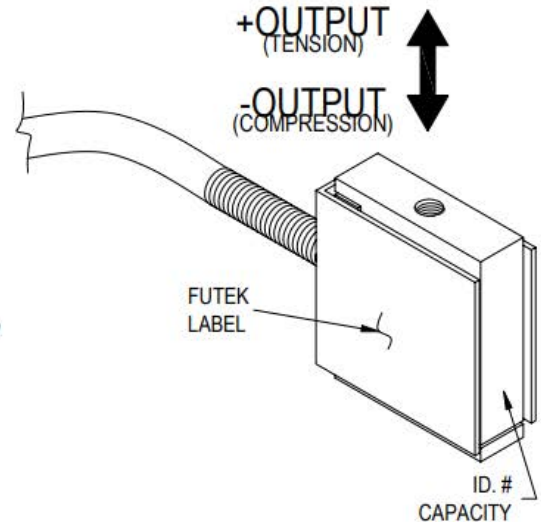
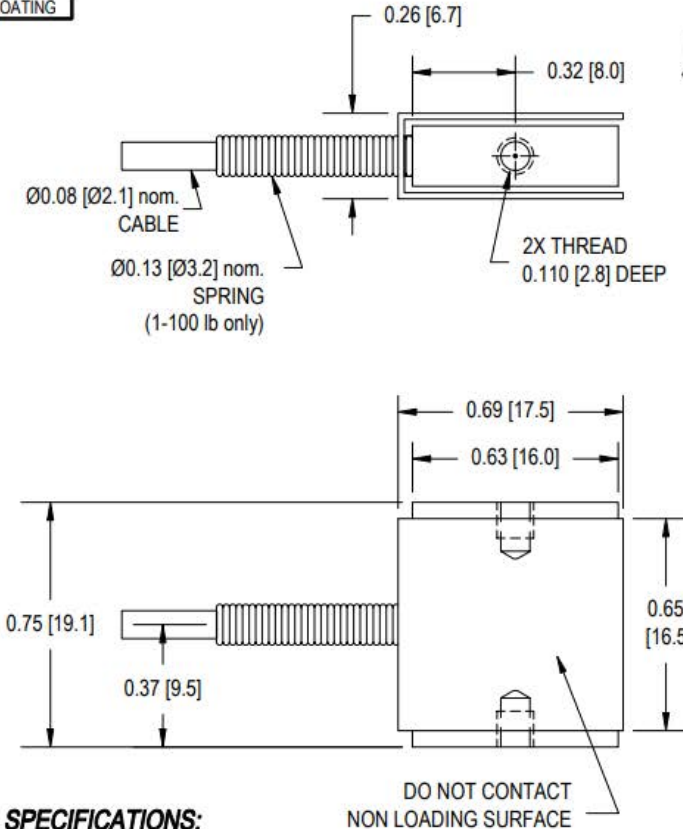
S-BEAM JUNIOR LOAD CELL

Drawing Number: FI1041-C

**DESIGNED FOR INLINE LOADING IN TENSION & COMPRESSION
AVAILABLE IN #4-40 AND M3x0.5 METRIC THREADS**

INCH [mm] R.O.= Rated Output

WIRING CODE (WC1)			
+Excitation	-Excitation	+Signal	-Signal
RED	BLACK	GREEN	WHITE
Shield			
FLOATING			



SPECIFICATIONS:

RATED OUTPUT SAFE OVERLOAD

ZERO BALANCE
EXCITATION (VDC OR VAC)
BRIDGE RESISTANCE
NONLINEARITY
HYSTERESIS
NONREPEATABILITY
TEMP. SHIFT ZERO
TEMP. SHIFT SPAN
COMPENSATED TEMP.
OPERATING TEMP.**

**MATERIAL
WEIGHT
DEFLECTION**

CABLE: #29 AWG, 4 Conductor, Spiral Shielded Silicone Cable, 5 ft [1.5 m] Long

ACCESSORIES AND RELATED INSTRUMENTS AVAILABLE

**CALIBRATION (STD) 5 pt TENSION; SEE CHART FOR SHUNT CAL VALUE.
CALIBRATION (AVAILABLE) COMPRESSION
CALIBRATION TEST EXCITATION 5 VDC**

***SENSOR STRUCTURE CAN HANDLE HIGH OVERLOADS BUT #4-40 and M3x0.5 THREADS MAY LIMIT OVERLOAD AT HIGHER CAPACITY**

**** ZERO BALANCE IS BASED ON LAYING SENSOR ON ITS SIDE (THREADS HORIZONTAL)**

**SEE CHART
1000% of R.O.
200% of R.O. Tension Only (50-100 lb)*
±3% of R.O., ±5% of R.O. (10-20g)**

**10 Max
SEE CHART
±0.1% of R.O.
±0.1% of R.O.
±0.05% of R.O.
±0.01% of R.O./°F [0.018% of R.O./°C]
±0.02% of LOAD/°F [0.036% of LOAD/°C]**

**60 to 160°F [15 to 72°C]
-60 to 200°F [-50 to 93°C]
ALUMINUM (10g-10lb), STAINLESS STEEL (25-100lb)**

**0.3 oz [9 g]
0.003-0.005 [0.07-0.13]**

Stock #	Capacity lb (N)	Thread Size	R.O. (nom.)	BRIDGE RESISTANCE	SHUNT CAL. VALUE
FSH02534	10g	#4-40	0.5 mV/V	1000 Ω nom.	301K Ω
FSH02319	(0.1)	M3x0.5	1 mV/V		
FSH02666	20g	#4-40		1 mV/V	1000 Ω nom.
FSH02667	(0.2)	M3x0.5			
FSH02535	50g	#4-40	1 mV/V	1000 Ω nom.	150K Ω
FSH02663	(0.5)	M3x0.5			
FSH02536	100g	#4-40	1 mV/V	1000 Ω nom.	150K Ω
FSH02664	(1.0)	M3x0.5			
FSH02602	250g	#4-40	1 mV/V	1000 Ω nom.	150K Ω
FSH02665	(2.5)	M3x0.5			
FSH00091	1	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00101	(4.5)	M3x0.5			
FSH00092	2	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00102	(8.9)	M3x0.5			
FSH00093	5	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00103	(22.2)	M3x0.5			
FSH00095	10	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00104	(44.5)	M3x0.5			
FSH00096	25	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00105	(111)	M3x0.5			
FSH00097	50	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00106	(222)	M3x0.5			
FSH00098	100	#4-40	2 mV/V	350 Ω nom.	60.4K Ω
FSH00107	(445)	M3x0.5			



This drawing is submitted solely for the information and exclusive use of the original addressee. It is not to be divulged in whole or in part, by any firm or individual without written permission from FUTEK

**10 THOMAS
IRVINE, CA 92618 USA
1-800-23-FUTEK (38835)**

**INTERNET:
<http://www.futek.com>**

INA12x Precision, Low-Power Instrumentation Amplifiers

1 Features

- Low offset voltage: 50 μV , maximum
- Low drift: 0.5 $\mu\text{V}/^\circ\text{C}$, maximum
- Low input bias current: 5 nA, maximum
- Low noise: 8 $\text{nV}/\sqrt{\text{Hz}}$, 0.2 μVpp
- High CMR: 120 dB, minimum
- Bandwidth: 1.3 MHz ($G = 1$)
- Inputs protected to $\pm 40\text{ V}$
- Wide supply range: $\pm 2.25\text{ V}$ to $\pm 18\text{ V}$
- Low quiescent current: 700 μA
- Packages: 8-pin plastic DIP, SO-8

2 Applications

- Pressure transmitter
- Temperature transmitter
- Weigh scale
- Electrocardiogram (ECG)
- Analog input module
- Data acquisition (DAQ)

3 Description

The INA128 and INA129 (INA12x) are low-power, general-purpose instrumentation amplifiers that offer excellent accuracy. The versatile three op amp design and small size make these amplifiers an excellent choice for a wide range of applications. Current-feedback input circuitry provides wide bandwidth even at high gain (200 kHz at $G = 100$).

A single external resistor sets any gain from 1 to 10,000. The INA128 provides an industry-standard gain equation with a 50-k Ω resistor. The INA129 gain equation uses a 49.4-k Ω resistor to allow for drop-in replacements of comparable devices.

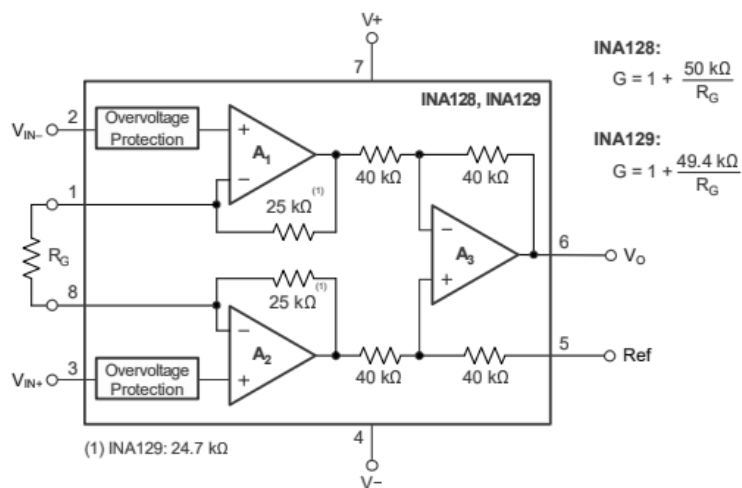
The INA12x are available in plastic DIP and surface-mount packages, specified for the -40°C to $+85^\circ\text{C}$ temperature range. The INA128 is also available in a dual configuration, the INA2128.

The upgraded INA828 offers a lower input bias current (0.6 nA, max) and lower noise (7 $\text{nV}/\sqrt{\text{Hz}}$) at the same quiescent current. See the *Device Comparison Table* for a selection of precision instrumentation amplifiers from Texas Instruments.

Device Information

PART NUMBER	PACKAGE ⁽¹⁾	BODY SIZE (NOM)
INA128, INA129	SOIC (8)	3.91 mm \times 4.90 mm
	PDIP (8)	6.35 mm \times 9.81 mm

(1) For all available packages, see the package option addendum at the end of the data sheet.



Simplified Schematic

NX3L4051

Single low-ohmic 8-channel analog switch

Rev. 5 — 3 July 2012

Product data sheet

1. General description

The NX3L4051 is a low-ohmic 8-channel analog switch, suitable for use as an analog or digital multiplexer/demultiplexer. The NX3L4051 has three digital select inputs (S1 to S3), eight independent inputs/outputs (Y0 to Y7) and a common input/output (Z). All eight switches share an enable input (E). A HIGH on \bar{E} causes all switches into the high impedance OFF-state, independent of Sn.

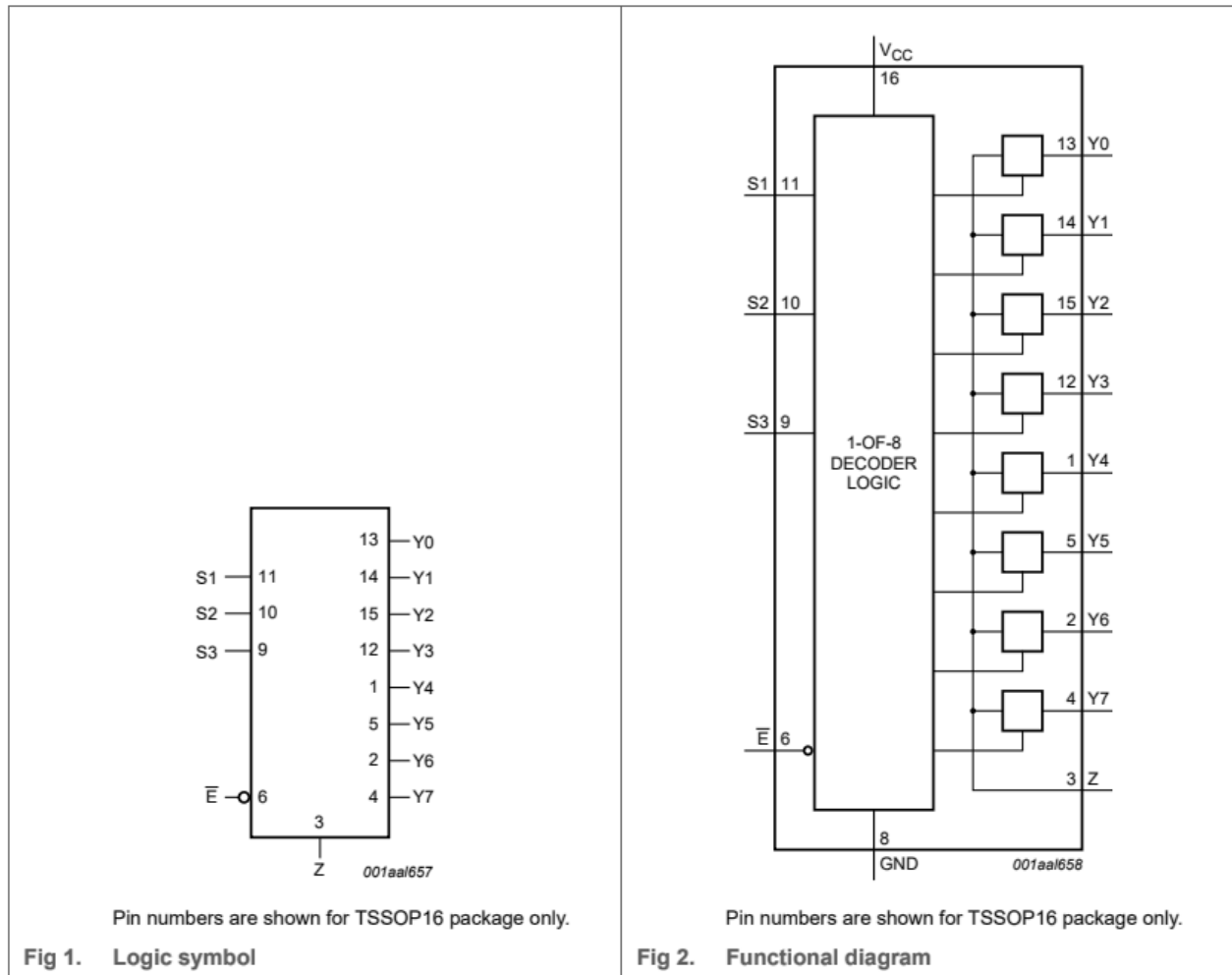
Schmitt trigger action at the digital inputs makes the circuit tolerant to slower input rise and fall times. Low threshold digital inputs allows this device to be driven by 1.8 V logic levels in 3.3 V applications without significant increase in supply current I_{CC} . This makes it possible for the NX3L4051 to switch 4.3 V signals with a 1.8 V digital controller, eliminating the need for logic level translation. The NX3L4051 allows signals with amplitude up to V_{CC} to be transmitted from Z to Yn or from Yn to Z. Its low ON resistance (0.5 Ω) and flatness (0.13 Ω) ensures minimal attenuation and distortion of transmitted signals.

2. Features and benefits

- Wide supply voltage range from 1.4 V to 4.3 V
- Very low ON resistance (peak):
 - ◆ 1.7 Ω (typical) at $V_{CC} = 1.4$ V
 - ◆ 1.0 Ω (typical) at $V_{CC} = 1.65$ V
 - ◆ 0.6 Ω (typical) at $V_{CC} = 2.3$ V
 - ◆ 0.5 Ω (typical) at $V_{CC} = 2.7$ V
 - ◆ 0.5 Ω (typical) at $V_{CC} = 4.3$ V
- Break-before-make switching
- High noise immunity
- ESD protection:
 - ◆ HBM JESD22-A114F Class 3A exceeds 7500 V
 - ◆ MM JESD22-A115-A exceeds 200 V
 - ◆ CDM AEC-Q100-011 revision B exceeds 1000 V
 - ◆ IEC61000-4-2 contact discharge exceeds 8000 V for switch ports
- CMOS low-power consumption
- Latch-up performance exceeds 100 mA per JESD 78B Class II Level A
- 1.8 V control logic at $V_{CC} = 3.6$ V
- Control input accepts voltages above supply voltage
- Very low supply current, even when input is below V_{CC}
- High current handling capability (350 mA continuous current under 3.3 V supply)
- Specified from -40 °C to $+85$ °C and from -40 °C to $+125$ °C



6. Functional diagram



8. Functional description

Table 4. Function table^[1]

Input				Channel ON
\bar{E}	S3	S2	S1	
L	L	L	L	Y0 = Z
L	L	L	H	Y1 = Z
L	L	H	L	Y2 = Z
L	L	H	H	Y3 = Z
L	H	L	L	Y4 = Z
L	H	L	H	Y5 = Z
L	H	H	L	Y6 = Z
L	H	H	H	Y7 = Z
H	X	X	X	switches off

[1] H = HIGH voltage level; L = LOW voltage level; X = don't care.



[Click here to ask an associate for production status of specific part numbers.](#)

MAX30009

Low-Power, High-Performance Bioimpedance Analog Front-End

General Description

The MAX30009 is a complete Bioimpedance (BioZ) Analog Front-End (AFE) solution for wearable applications. It offers high performance for fitness, wellness, and clinical applications, and ultra-low power for long battery life. The BioZ receive channel has Electrostatic Discharge (ESD) protection, Electromagnetic Interference (EMI) filtering, internal lead-biasing, DC leads-off detection, DRVN lead-off detection, and ultra-low power lead-on detection during standby mode. The BioZ receive channel also has high input impedance, low noise, high Common-Mode Rejection Ratio (CMRR), programmable gain, various low-pass and high-pass filter options, and two high resolution analog-to-digital converters for simultaneous I and Q acquisition.

The BioZ transmit channel has a sine-wave current generator to drive AC currents into the body with a wide frequency range of 16Hz to 806kHz and a wide magnitude range of 16nA_{RMS} to $1.28\text{mA}_{\text{RMS}}$. The transmit channel can also operate in the sine-wave voltage and H-bridge modes. The flexible input/output MUX allows for both bipolar and tetrapolar measurements with multiple sets of electrodes.

For measurements requiring high absolute impedance accuracy such as Bioimpedance Analysis/Spectroscopy (BIA/BIS) and Automated External Defibrillator (AED) body impedance, the MAX30009 offers several calibration options. An external precision resistor can be connected to the four-wire calibration port for the highest accuracy. Internal trimmed resistors also provide high accuracy.

The PLL-based timing subsystem allows for a wide range of fine-tuned stimulus and sampling frequencies, and can be synchronized with other Analog Devices biosensors for simultaneous data collection.

The MAX30009 is available in a 2.03mm x 2.03mm, 25-bump Wafer-Level Package (WLP), operating over the -40°C to $+85^{\circ}\text{C}$ temperature range.

Applications

- Wearable Fitness, Wellness, and Medical Devices
- Multifrequency Body Composition Analyzers
- Non-Invasive Hemodynamic Monitors
- Automatic External Defibrillators
- Optimized Performance to Accurately Detect:
 - Respiration Rate
 - Galvanic Skin Response/Electrodermal Activity
 - Bioimpedance Spectroscopy
 - Body Composition and Fluid Analysis
 - Impedance Cardiography and Plethysmography

Benefits and Features

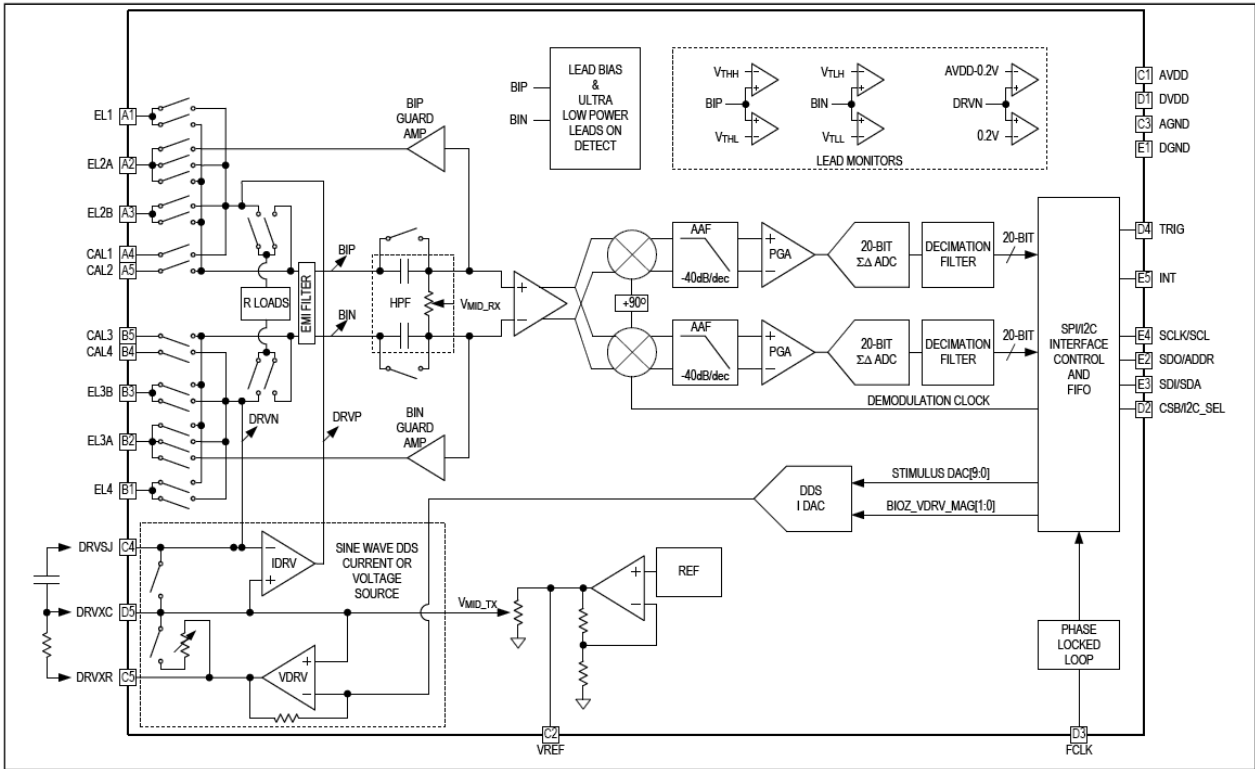
BIOZ

- Complete High-Performance BioZ AFE
- Simultaneous I and Q Measurement Capability
- Four-Electrode (Tetrapolar) and Two-Electrode (Bipolar) Configurations
- Ultra-Low Power Operation
 - $250\ \mu\text{W}$ at 1.8V AVDD
- High-Resolution, 20-Bit Sigma Delta Analog-to-Digital Converters (ADCs)
- Wide Range of Sample Rates from 16sps to 4ksps
- Flexible and Programmable Input/Output MUX
- Low-Noise, High-Resolution Receive Channel
 - 17 Bits Effective Resolution with $1.1\mu\text{V}_{\text{p-p}}$ Noise
- High Input Impedance $> 1\text{G}\Omega$ for Extremely Low Common to Differential-Mode Conversion
- Programmable Sine-Wave Stimulus
- Low Frequency, Low Current Options for Galvanic Skin Response (GSR)/Electrodermal Activity (EDA) Starting from 16Hz and 16nA_{RMS}
- Wide Range of Bioelectrical Impedance Analysis/Spectroscopy (BIA/BIS) Frequencies from 1kHz to 806kHz
- High Currents at High Frequencies for Impedance Cardiography (ICG) Applications (e.g., $1.28\text{mA}_{\text{RMS}}$ at 100kHz) with Lockout for Lower Frequencies for Conformance with 60601-1
- High Input AC Dynamic Range of $>1000\text{mV}_{\text{p-p}}$
- 4-Pin In-Situ Calibration Port (4-Wire Precision Resistor) Enables High-Quality Absolute Impedance Measurements
- DC Leads-Off Detect Capability
- Ultra-Low Power Lead-On Detection with Interrupt for System Wake-Up.
 - Lead-On Detect Current: $0.7\mu\text{A}$ (typ)

SYSTEM

- Shutdown Current of $0.6\mu\text{A}$ (Typ)
- 256 Word FIFO
- Flexible PLL-Based Timing Subsystem with Internal or External Clock Source
- PLL can be Synchronized with Adjacent Biosensor AFEs (such as the MAX86176 Photoplethysmography (PPG)/Electrocardiography (ECG) AFE)
- Configurable Interrupts Reduce μC Wake-Up Time and Save Power
- High-Speed Serial Peripheral Interface (SPI) and I²C Digital Interface

Simplified Block Diagram



Detailed Description

The MAX30009 is a complete, integrated data acquisition system ideal for respiration, Galvanic Skin Response (GSR) and Electrodermal Activity (EDA), Bioimpedance Analysis/Spectroscopy (BIA/BIS), Impedance Cardiography (ICG), and numerous other applications. It is designed for the demanding requirements of medical, mobile, and wearable devices, and requires minimal external hardware components for integration.

The BioZ transmit channel has an independent current stimulus circuit to provide injected body currents. The stimulus current generation circuit can be supplied in a four-electrode (tetrapolar) as well as two-electrode (bipolar) manner. This injected current is programmable and available over a wide frequency range (16Hz to 806kHz) and a wide range of stimulus current magnitudes (16nA_{RMS}, up to 1.28mA_{RMS} maximum). These ranges support Galvanic Skin Response (GSR) and Electrodermal Activity (EDA) measurements, Bioimpedance Analysis/Spectroscopy (BIA/BIS) applications, and Impedance Cardiography (ICG) measurements such as cardiac output and stroke volume, or Impedance Plethysmography (IPG) measurements.

The BioZ receive channel also has high input impedance, low noise, high Common-Mode Rejection Ratio (CMRR), programmable gain, various low-pass and high-pass filter options, two high-resolution analog-to-digital converters, and simultaneous I and Q measurement capability to provide resistance and reactance measurements for BIA/BIS applications. It also includes DC lead-off detection, drive lead-off detection, ultra-low-power lead-on detection during standby mode, and extensive calibration features and programmable resistive loads for built-in self-test. Soft power-up sequencing ensures no large transients are injected into the electrodes.

The MAX30009 provides a calibration port for a four-wire external precision reference resistance to use during calibration. This calibration is required when using the MAX30009 for bioimpedance measurements needing absolute accuracy such as BIA/BIS or Automated External Defibrillator (AED) body-impedance. The four-wire calibration port can also be used to support multiple calibration resistances. Alternatively, there are trimmed load resistors internal to the device that can be used for calibration, but they are not as accurate as using an external reference resistor.

The MAX30009 is fully adjustable through software registers and the digital output data is stored in a 256-word FIFO. The FIFO allows the MAX30009 to be connected to a microcontroller or processor on a shared I²C or Serial Peripheral Interface (SPI) bus. The MAX30009 operates in fully autonomous mode for low-power battery applications. The MAX30009 operates on a 1.8V main supply voltage, and can be configured for low-power consumption, enabling long battery life.

Sine-Wave Current Stimulus

To select the sine-wave current mode, set `BIOZ_DRV_MODE[1:0](0x22)` to `0x0`. When generating a sine-wave current stimulus, the AC current is injected into the body using electrodes assigned to the `DRVP` and `DRVN` (drive) functions with the bioimpedance sensed differentially through the electrodes assigned to the `BIP` and `BIN` (bioimpedance receive) functions. Two-electrode and four-electrode configurations are supported for typical wet or dry electrode impedances. [Figure 7](#) shows the stimulus signal path with a four-electrode configuration. A sine-wave current stimulus is generated by a Direct Digital Synthesis (DDS) circuit with the help of a 10-bit current DAC (I DAC). The V_{DRV} amplifier converts this sine-wave current into a sine-wave voltage. One of four range resistors should be selected using `BIOZ_IDRV_RGE[3:2](0x22)`. The current range can alternatively be set with an external resistor by enabling `BIOZ_EXT_RES[7](0x22)`. The sine-wave voltage appears on one side of this resistor and the other side is held at V_{MID_TX} by the operation of the I_{DRV} amplifier, thus creating the sine-wave current stimulus in the I_{DRV} amplifier feedback loop. This current flows through the range resistor, electrodes, and body impedance, then back into the I_{DRV} amplifier output terminal.

A blocking capacitor (C_{EXT}) connected between the `DRVXC` and `DRVSJ` pins is required to avoid the DC current from being driven through the body. A 47nF capacitor is recommended for all applications.

Both amplifiers in the signal chain have adjustable range and bandwidth to optimize power consumption for the required performance. `BIOZ_AMP_RGE[3:2](0x25)` sets the amplifier range, and `BIOZ_AMP_BW[1:0](0x25)` sets the gain-bandwidth product. When using the MAX30009 for Impedance Cardiography (ICG) and Bioimpedance Analysis (BIA), set the `BIOZ_AMP_RGE` and `BIOZ_AMP_BW` to higher values. It is generally acceptable to leave these settings at the lowest value for other applications.

When selecting a stimulus current magnitude, there are several restrictions to follow. The stimulus current is set by a combination of `BIOZ_IDRV_RGE[3:2](0x22)` and `BIOZ_VDRV_MAG[5:4](0x22)`, and [Table 5](#) shows the stimulus current options available for MAX30009.

1. To ensure patient safety, some current amplitude and frequency combinations are not allowed (see [Table 5](#)). If an off-limits setting is selected, the `BIOZ_VDRV_MAG` and `BIOZ_IDRV_RGE` fields are automatically overwritten to the highest allowed value based on the frequency settings. It is the responsibility of the end application device manufacturer to ensure the MAX30009 is programmed properly and in conformance with *IEC60601-1 Medical electrical equipment – Part 1: General requirements for basic safety and essential performance* with regards to patient auxiliary current limitations.
2. When using stimulus currents greater than $640\mu A_{RMS}$, `EL1` and `EL4` must be used for `DRVP` and `DRVN`, respectively. Electrode pins `EL2A`, `EL2B`, `EL3A`, and `EL3B` are not designed to support currents above $640\mu A_{RMS}$. Assigning the wrong pins does not damage the MAX30009, but switch resistance is higher and degrades measurement accuracy.
3. The current amplitude should be chosen to not exceed $1000mV_{p-p}$ at the `BIP` and `BIN` pins based on the network impedance at the current injection frequency.

Table 5. Stimulus Current Options

STEP	BIOZ_IDRV_RGE	RANGE RESISTOR	BIOZ_VDRV_MAG	RMS CURRENT	FREQUENCY RANGE (Hz)	RECOMMENDED BIOZ_AMP_RGE
1	1 (0x0)	552.5k Ω	low (0x0)	16nA	All frequencies	Low
2	1 (0x0)	552.5k Ω	low mid (0x1)	32nA	All frequencies	Low
3	1 (0x0)	552.5k Ω	high mid (0x2)	80nA	All frequencies	Low
4	1 (0x0)	552.5k Ω	high (0x3)	160nA	All frequencies	Medium-Low
5	2 (0x1)	110.5k Ω	low (0x0)	320nA	All frequencies	Medium-Low
6	2 (0x1)	110.5k Ω	low mid (0x1)	640nA	All frequencies	Medium-Low
7	2 (0x1)	110.5k Ω	high mid (0x2)	1.6 μ A	All frequencies	Medium-Low
8	2 (0x1)	110.5k Ω	high (0x3)	3.2 μ A	All frequencies	Medium-Low
9	3 (0x2)	5.525k Ω	low (0x0)	6.4 μ A	All frequencies	Medium-Low
10	3 (0x2)	5.525k Ω	low mid (0x1)	12.8 μ A	All frequencies	Medium-High
11	3 (0x2)	5.525k Ω	high mid (0x2)	32 μ A	All frequencies	Medium-High
12	3 (0x2)	5.525k Ω	high (0x3)	64 μ A	All frequencies	Medium-High
13	4 (0x3)	276.25 Ω	low (0x0)	128 μ A	≥ 512	High
14	4 (0x3)	276.25 Ω	low mid (0x1)	256 μ A	≥ 2048	High
15	4 (0x3)	276.25 Ω	high mid (0x2)	640 μ A	≥ 8192	High
16	4 (0x3)	276.25 Ω	high (0x3)	1.28mA	≥ 16384	High

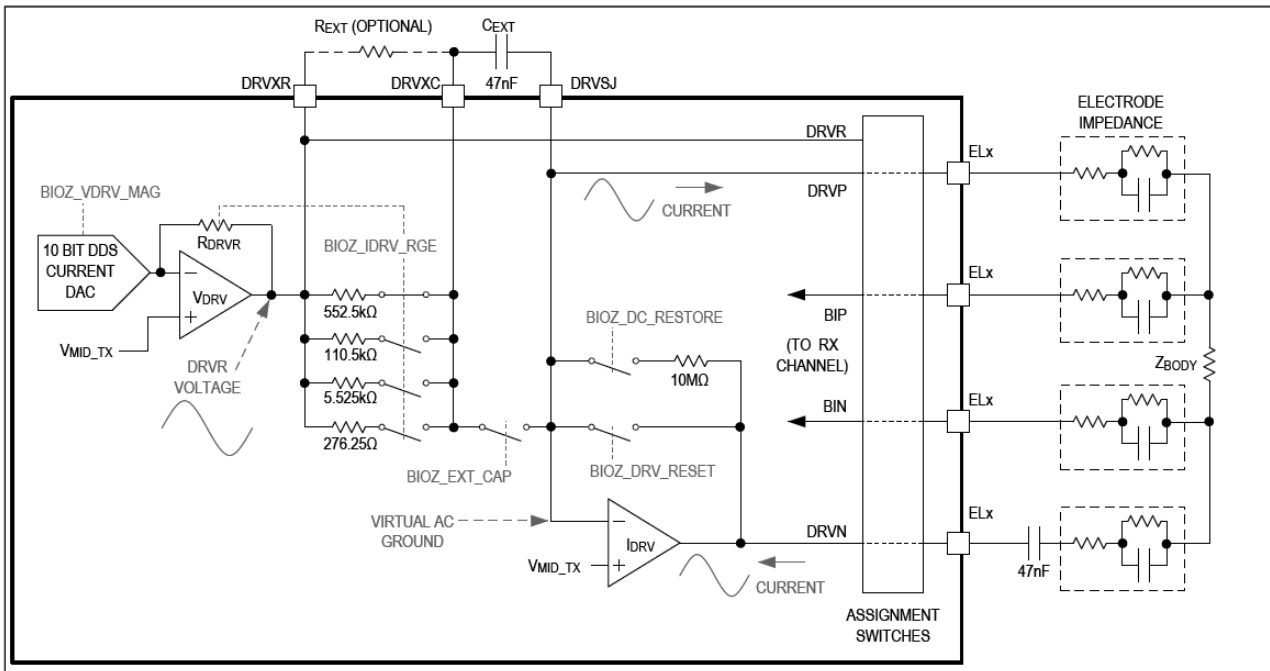


Figure 7. Bioimpedance Stimulus Generator — Sine-Wave Current Mode

BioZ Receive Channel

Figure 10 illustrates the BioZ receive channel block diagram. The channel comprises an input MUX, a bypassable and programmable analog high-pass filter, an instrumentation amplifier with programmable gain, two demodulators, two anti-alias filters, two programmable gain amplifiers, and two Analog-to-Digital Converters (ADCs). The input MUX includes several features such as Electrostatic Discharge (ESD) protection, Electromagnetic Interference (EMI) filtering, programmable electrode assignment switches, lead biasing, DC lead-off detection, and ultra-low power lead-on detection.

The MAX30009 BioZ receive channel Instrumentation Amplifier (INA) provides low-noise amplification of the differential signal, rejects differential DC voltage due to the analog high-pass filter, rejects common-mode interference such as AC mains interference, and provides high input impedance to guarantee high Common-Mode Rejection Ratio (CMRR) even in the presence of severe electrode impedance mismatch. The total channel gain can be set to 1V/V, 2V/V, 5V/V, or 10V/V, and is set by BIOZ_GAIN[1:0](0x24), which affects both the INA gain and PGA gain. The demodulators multiply the received signal by square waves with the same frequency (F_BIOZ) to down-convert the measurement frequency to DC. The phase of the demodulator f_{DEM0D} signal is 0° for the I channel and 90° for the Q channel. Following the PGA amplifiers are two-pole, active low-pass Anti-Aliasing Filters (AAFs) with a 600Hz -3dB frequency that provide approximately 57dB of attenuation at half the sigma-delta ADC input sampling rate (BIOZ_ADC_CLK). After the AAFs are 20-bit sigma-delta ADCs. The effective bits of the ADC depend on the value of BIOZ_ADC_OSR[5:3](0x20) with higher oversampling ratios resulting in more effective bits (see the Electrical Characteristics section).

When AC-coupling the BioZ receive channel or using the internal analog High-Pass Filter (HPF), the AC differential range is > 1000mV_{P-P} with an INA gain of 1V/V. When DC-coupling the bioimpedance receive channel, the usable common-mode range of the bioimpedance receive channel is 0.5V to V_{AVDD} - 0.75V. Internal lead biasing is used to achieve these requirements (see the BioZ Lead Bias section).

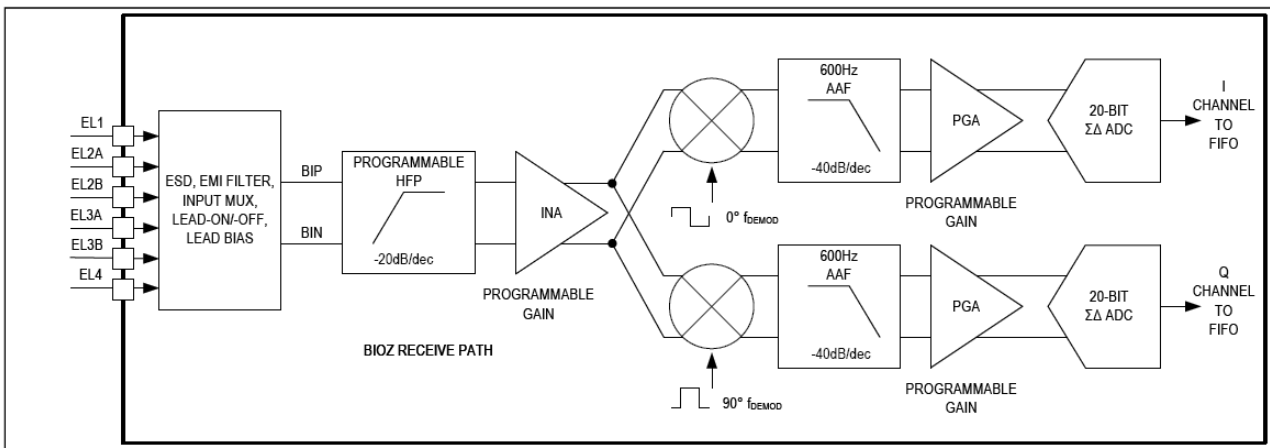


Figure 10. BioZ Receive Channel

BioZ Decimation and Digital Filters

The decimation filter is used along with the sigma-delta modulator within the ADC to reduce the sample rate of the BIOZ_ADC_CLK to a smaller programmable output rate (SR_BIOZ). The decimation filter has a SINC3 response with a corner frequency at approximately $0.26 \times \text{SR_BIOZ}$. The decimation filter is followed by a programmable digital filter to implement High-Pass Filter (HPF) and Low-Pass Filter (LPF) selections.

The programmable digital high-pass filter scales with the ADC clock rate and can be set to either $0.00025 \times \text{SR_BIOZ}$, $0.002 \times \text{SR_BIOZ}$, or bypassed by setting BIOZ_DHPF[7:6](0x21). Similarly, the programmable digital low-pass filter scales with the ADC clock rate and can be set to $0.005 \times \text{SR_BIOZ}$, $0.02 \times \text{SR_BIOZ}$, $0.08 \times \text{SR_BIOZ}$, $0.25 \times \text{SR_BIOZ}$, or bypassed using BIOZ_LPF[5:3](0x21).

Converting Digitized BioZ Samples to Voltage and Impedance

BioZ channel samples are recorded in 20-bit left-justified 2's complement format. These samples represent the voltage at the ADC, which has passed through the INA, demodulator, PGA, and AAF. The INA and PGA apply a combined gain of 1V/V, 2V/V, 5V/V, or 10V/V as set by BIOZ_GAIN[1:0](0x24). The demodulator multiplies the incoming sine-wave or square-wave by a square-wave with the same frequency as F_BIOZ. The AAF is a two-pole low-pass filter with a 600Hz corner frequency. The decimation filter in the ADC has a bandwidth of approximately $0.26 \times \text{SR_BIOZ}$.

When performing absolute impedance measurements for applications such as BIA/BIS and GSR/EDA, the DC component of the demodulated voltage represents the measured impedance. When $F_BIOZ \gg 600\text{Hz}$ or when $\text{SR_BIOZ} \ll F_BIOZ$, the harmonics resulting from the square-wave demodulation can be ignored, and the digitized samples represent the DC component of the demodulated voltage. For sine-wave stimulation, the square-wave demodulation applies a scaling factor of $2 / \pi$ to the DC component, as shown in [Figure 11](#).

The DC component of the demodulated voltage is converted by the ADC, and represents load impedance in current-stimulus mode according to the following equation.

$$\text{Sine-Wave Stimulus: } Z_{\text{BIOZ}}(\Omega) = \text{ADC_COUNT} \times V_{\text{REF_ECG}} / (2^{19} \times \text{BIOZ_GAIN} \times 2 / \pi \times I_{\text{MAG}})$$

where,

ADC_COUNT = ADC counts in signed magnitude format

$V_{\text{REF_ECG}} = 1\text{V}$ (typ, see the Electrical Characteristics section)

BIOZ_GAIN = Options 1V/V, 2V/V, 5V/V, and 10V/V.

$I_{\text{MAG}} =$ Stimulus current in A_{PK} set by BIOZ_VDRV_MAG[5:4](0x22) and BIOZ_IDRV_RGE[3:2](0x22).

The input-referred voltage amplitude can likewise be calculated with the following equations.

$$\text{Sine-Wave Stimulus: } V_{\text{BIOZ}}(V_{\text{PK}}) = \text{ADC_COUNT} \times V_{\text{REF_ECG}} / (2^{19} \times \text{BIOZ_GAIN} \times 2 / \pi)$$

$$\text{Square-Wave Stimulus: } V_{\text{BIOZ}}(V_{\text{PK}}) = \text{ADC_COUNT} \times V_{\text{REF_ECG}} / (2^{19} \times \text{BIOZ_GAIN})$$

For voltage stimulus modes, the impedance can be calculated from an impedance divider with the series resistors.

For respiration and ICG applications, the signal of interest is contained in the time-varying impedance signal. So, the DC component is not as important. The respiration signal band is typically 0.05Hz to 4Hz, and the ICG signal band is typically DC to 64Hz. For these applications, the BioZ sample rate and digital filters can be adjusted to select the signal band of interest, considering the decimation filter $0.26 \times \text{SR_BIOZ}$ bandwidth. The above impedance or voltage calculations can be performed for these applications, but these conversions are not strictly necessary.

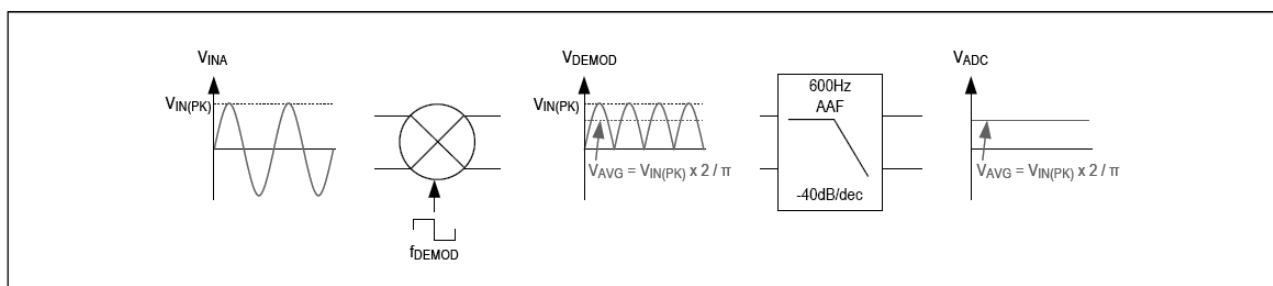


Figure 11. Square-Wave Demodulation for a Sine-Wave Stimulus (INA and PGA Gain Not Shown)

Digital Interface

The MAX30009 supports I²C interface and Serial Peripheral Interface (SPI). The CSB/I²C_SEL pin selects the interface being used at a time. When the I²C_SEL pin is high using an external pullup resistor, the interface is in the I²C mode and idles looking for a start condition on the SCL and SDA pins, while the SPI is held in a reset state. When the CSB/I²C_SEL pin is low, the I²C interface is disabled and SPI is activated. The following sections describe the timings and protocols for both interfaces.

Serial Peripheral Interface (SPI)

The SPI on the MAX30009 is SPI-/QSPI-/microwire-/DSP-compatible consisting of a Serial Data Input (SDI), Serial Data Output (SDO), Serial Clock Line (SCLK), and Chip Select (CSB). In SPI mode, the SDI/SDA pin operates as SDI and the SCLK/SCL pin operates as SCLK. The timing of the SPI is shown in Figure 18. Data is strobed on the SCLK rising edge while clocked out on the SCLK falling edge. All single-word SPI read and write operations are done in a 3-byte, 24-clock-cycle SPI instruction framed by a CSB low interval. The content of the SPI operation consists of a one-byte register address (A[7:0]) followed by a one-byte command word, which defines the transaction as write or read, followed by a single-byte data word either written to or read from the register location provided in the first byte.

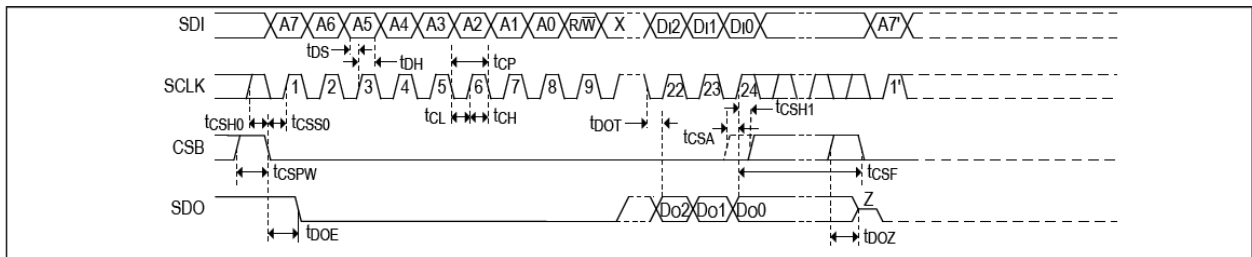


Figure 18. Detailed SPI Timing Diagram

Single-Word SPI Register Read and Write Transactions

SPI write mode operations for MAX30009 are executed on the 24th SCLK rising edge using the first three bytes of data available. In write mode, any data supplied after the 24th SCLK rising edge is ignored, as shown in Figure 19. Subsequent writes require CSB to deassert high and then assert low for the next write command. A rising CSB edge preceding the 24th rising edge of SCLK by t_{CSA} , as shown in Figure 18, results in the transaction being aborted.

Read mode operations access the requested data on the 16th SCLK rising edge, and present the MSB of the requested data on the following SCLK falling edge, allowing the microcontroller to latch the data MSB on the 17th SCLK rising edge, as shown in Figure 20. Configuration and status registers are available using normal-mode read-back sequences. FIFO reads must be done with a burst mode FIFO read (see the SPI Burst Mode Read Transaction section). In a normal read sequence, any SCLK rising edges after the 24th SCLK rising edge are ignored and if more than 24 SCLK rising edges are provided, the device reads back zeros.

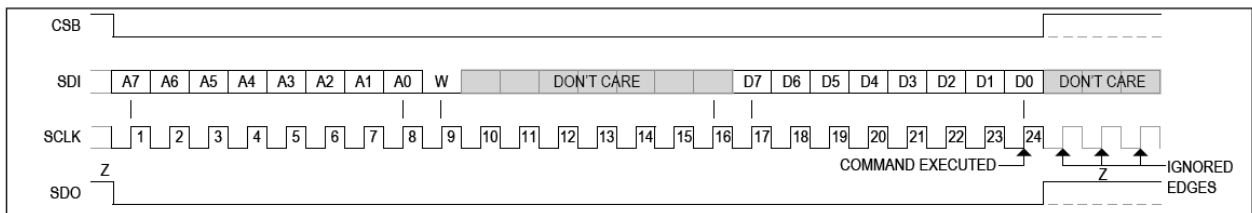


Figure 19. SPI Write Transaction

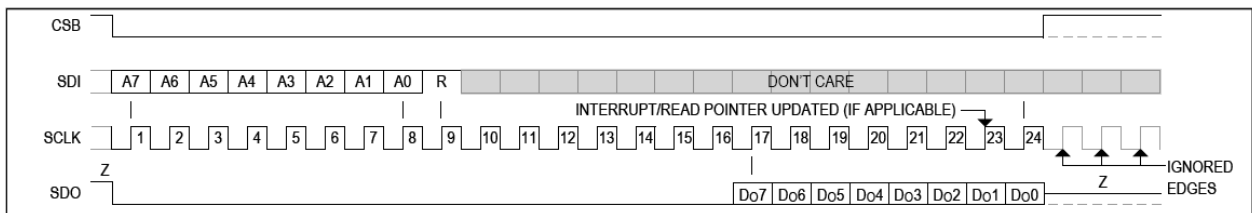


Figure 20. SPI Read Transaction

SPI Burst-Mode Read Transaction

The MAX30009 has a FIFO burst-read mode to increase data transfer efficiency. The first 16 SCLK cycles operate exactly as described for the normal read mode, where the first byte is the register address and the second is the read command. The subsequent SCLKs consist of FIFO data, 24 SCLKs per word. All words in the FIFO should be read with a single FIFO burst-read command.

Each FIFO sample consists of three bytes per sample, and thus requires 24 SCLKs per sample to read out. The first byte (SCLK 17 to 24) consists of a tag indicating the data type of the subsequent bits as well as the MSBs of the data. The next two bytes (SCLK 24 to 40) consist of data. For example, [Figure 21](#) shows a FIFO burst read consisting of three PPG samples in FIFO, labeled A through C, each with a 4-bit tag and 20-bit data. The number of words in the FIFO depends on the FIFO configuration. See the FIFO Description section for more details about the FIFO configuration and readout.

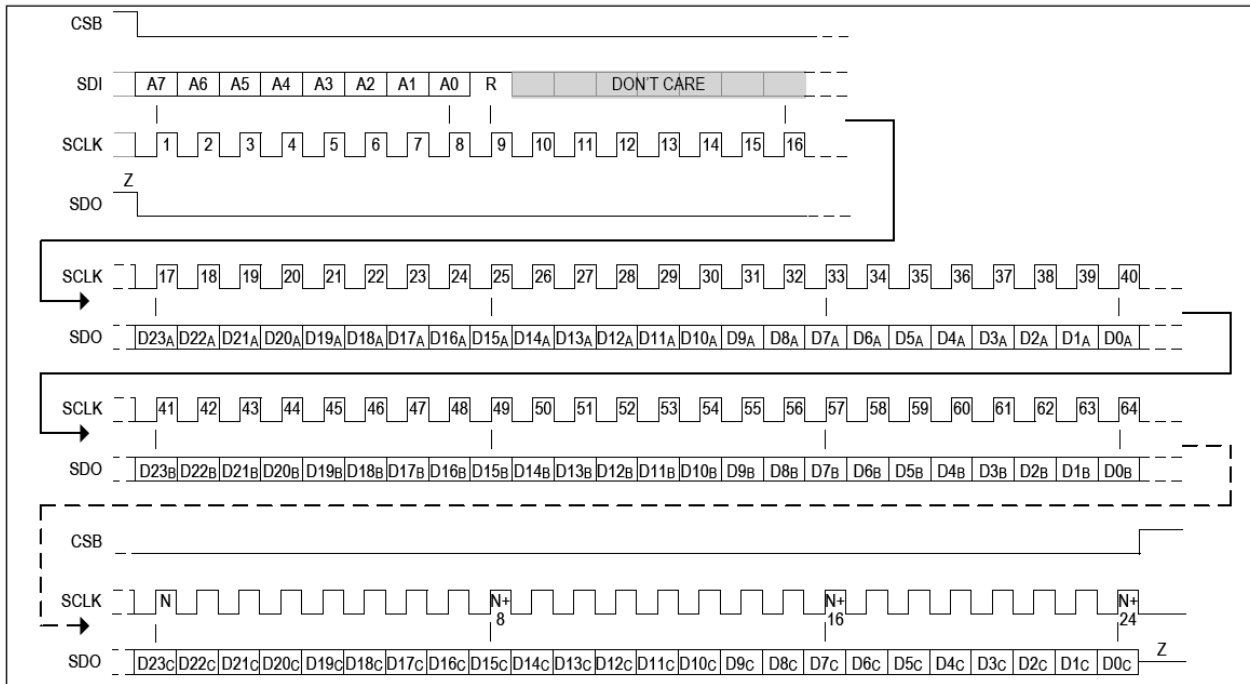


Figure 21. SPI FIFO Burst Mode Read Transaction

I²C-/SMBus-Compatible Serial Interface

The I²C interface on the MAX30009 is an I²C-/SMBus-compatible, two-wire serial interface consisting of an SDA and a SCL. In the I²C mode, the SDI/SDA pin operates as SDA and the SCLK/SCL pin operates as SCL. These two pins are used for the communication between the MAX30009 and the master at clock rates up to 400kHz. [Figure 22](#) shows the two-wire interface timing diagram. The master generates SCL and initiates data transfer on the bus. The master device writes data to the MAX30009 by transmitting the proper slave address, followed by the register address, and then the data word. Each transmit sequence is framed by a START (S) or REPEATED START (Sr) condition, and a STOP (P) condition. Each word transmitted to the MAX30009 is 8-bits long and is followed by an acknowledge clock pulse. A master reading data from the MAX30009 transmits the proper slave address, followed by a series of nine SCL pulses. The MAX30009 transmits data on SDA in sync with the master-generated SCL pulses. The master acknowledges receipt of each byte of data. Each read sequence is framed by a START (S) or REPEATED START (Sr) condition, a not acknowledge (NACK), and a STOP (P) condition. SDA operates as both an input and open-drain output. A pullup resistor is required on SDA. SCL operates only as an input. A pullup resistor is required on SCL if there are multiple masters on the bus, or if the single master has an open-drain SCL output. Series resistors in line with SDA and SCL are optional. Series resistors protect the digital inputs from high-voltage spikes on the bus lines, and minimize crosstalk and undershoot of the bus signals.

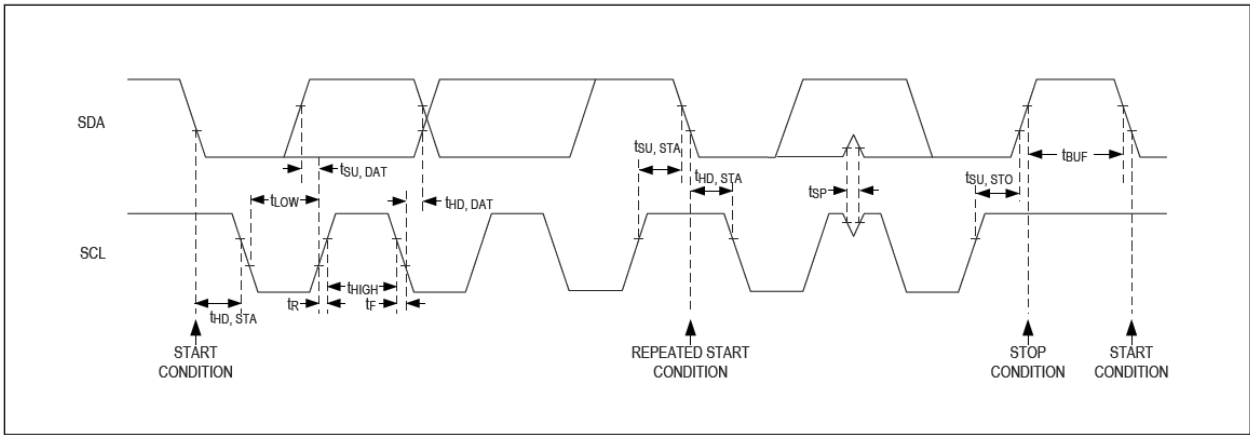


Figure 22. Detailed I²C Timing Diagram

Bit Transfer

One data bit is transferred during each SCL cycle. The data on SDA must remain stable during the high period of the SCL pulse. Changes in SDA while SCL is high are control signals (see the *START and STOP Conditions* section).

START and STOP Conditions

SDA and SCL idle high when the bus is not in use. A master initiates communication by issuing a START condition, which indicates the beginning of a transmission to the MAX30009. A START condition is a high-to-low transition on SDA while SCL is high, as shown in Figure 23. The master terminates transmission, and frees the bus, by issuing a STOP condition. A STOP condition is a low-to-high transition on SDA while SCL is high, as shown in Figure 23. The bus remains active if a REPEATED START condition is generated instead of a STOP condition. A REPEATED START condition is the same as a START condition (high-to-low transition with SCL high), but it is sent after a START condition.

The MAX30009 recognizes a STOP condition at any point during data transmission except if the STOP condition occurs in the same high pulse as a START condition. For proper operation, do not send a STOP condition during the same SCL high pulse as the START condition.

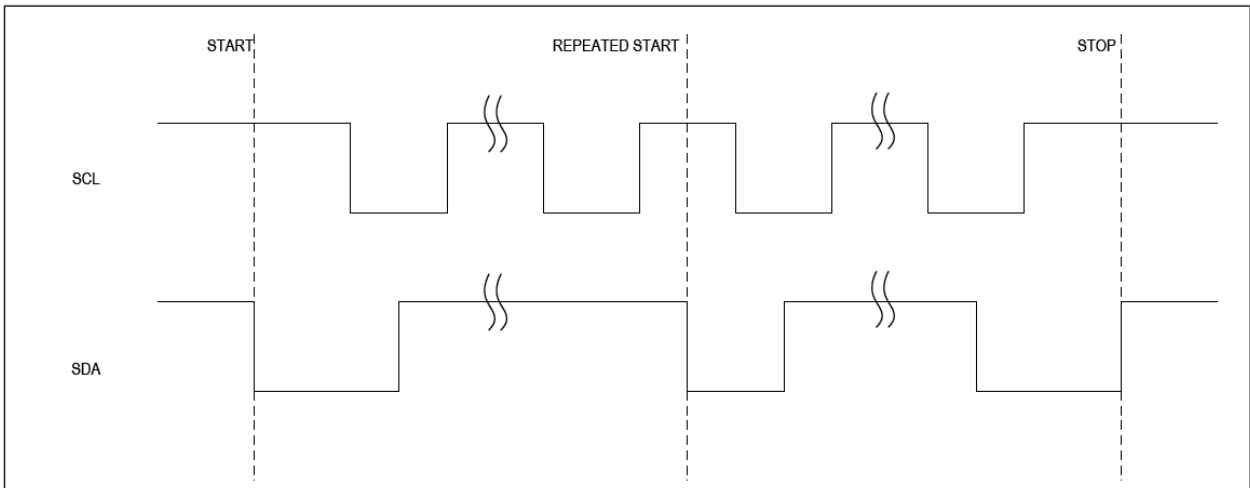


Figure 23. I²C START, STOP, and REPEATED START Conditions

I²C Slave Address

In the I²C mode, the SDO/ADDR pin acts as the device address selector pin. The I²C slave address has two values, selected by SDO/ADDR when the I2C_SEL pin is pulled high. When ADDR is pulled low, either by a pulldown resistor or by the host controller, the slave address is 0xD0 (write) and 0xD1 (read), or 0b1101000 + R/W. When ADDR is pulled high, the slave address is 0xD2 (write) and 0xD3 (read), or 0b1101001 + R/W.

Table 9. I²C Addresses for MAX30009

ADDR PIN	WRITE ADDRESS	READ ADDRESS
Low	0xD0	0xD1
High	0xD2	0xD3

User Register Map

ADDRESS	NAME	MSB							LSB
Status									
0x00	Status 1[7:0]	A_FULL	-	FIFO_D ATA_RD Y	FREQ_U NLOCK	FREQ_L OCK	PHASE_ UNLOCK	PHASE_ LOCK	PWR_R DY
0x01	Status 2[7:0]	LON	BIOZ_O VER	BIOZ_U NDR	DRV_O OR	DC_LOF F_PH	DC_LOF F_PL	DC_LOF F_NH	DC_LOF F_NL
FIFO									
0x08	FIFO Write Pointer[7:0]	FIFO_WR_PTR[7:0]							
0x09	FIFO Read Pointer[7:0]	FIFO_RD_PTR[7:0]							
0x0A	FIFO Counter 1[7:0]	FIFO_D ATA_CO UNT[8]	OVF_COUNTER[6:0]						
0x0B	FIFO Counter 2[7:0]	FIFO_DATA_COUNT[7:0]							
0x0C	FIFO Data Register[7:0]	FIFO_DATA[7:0]							
0x0D	FIFO Configuration 1[7:0]	FIFO_A_FULL[7:0]							
0x0E	FIFO Configuration 2[7:0]	-	-	FIFO_M ARK	FLUSH_ FIFO	FIFO_ST AT_CLR	A_FULL _TYPE	FIFO_R O	-
System Control									
0x10	System Sync[7:0]	TIMING SYS_RE SET	-	-	-	-	-	-	-
0x11	System Configuration 1[7:0]	MASTER	DISABL E_I2C	-	-	-	-	SHDN	RESET
0x12	Pin Functional Configuration[7:0]	-	-	-	-	INT_FCFG[1:0]		-	TRIG_IC FG
0x13	Output Pin Configuration[7:0]	-	-	-	-	INT_OCFG[1:0]		TRIG_OCFG[1:0]	
0x14	I2C Broadcast Address[7:0]	I2C_BCAST_ADDR[6:0]							I2C_BCA ST_EN
PLL									
0x17	PLL Configuration 1[7:0]	MDIV[9:8]		NDIV	KDIV[3:0]			PLL_EN	
0x18	PLL Configuration 2[7:0]	MDIV[7:0]							
0x19	PLL Configuration 3[7:0]	-	-	-	-	-	-	-	PLL_LO CK_WN DW
0x1A	PLL Configuration 4[7:0]	-	REF_CL K_SEL	CLK_FR EQ_SEL	CLK_FINE_TUNE[4:0]				
BioZ Setup									
0x20	BioZ Configuration 1[7:0]	BIOZ_DAC_OSRR[1: 0]		BIOZ_ADC_OSRR[2:0]			BIOZ_B G_EN	BIOZ_Q _EN	BIOZ_I_ EN
0x21	BioZ Configuration 2[7:0]	BIOZ_DHPF[1:0]		BIOZ_DLFPF[2:0]			BIOZ_CMP[1:0]		EN_BIO Z_THRE SH

ADDRESS	NAME	MSB							LSB
0x22	BioZ Configuration 3[7:0]	BIOZ_EXT_RES	LOFF_RAPID	BIOZ_VDRV_MAG[1:0]		BIOZ_IDRV_RGE[1:0]		BIOZ_DRV_MODE[1:0]	
0x23	BioZ Configuration 4[7:0]	-	-	-	-	-	-	BIOZ_FAST_MANUAL	BIOZ_FAST_START_EN
0x24	BioZ Configuration 5[7:0]	BIOZ_AHPF[3:0]				BIOZ_INA_MODE	BIOZ_DM_DIS	BIOZ_GAIN[1:0]	
0x25	BioZ Configuration 6[7:0]	BIOZ_EXT_CAP	BIOZ_DC_RESTORE	BIOZ_DRV_RES ET	BIOZ_DC_RES ET	BIOZ_AMP_RGE[1:0]		BIOZ_AMP_BW[1:0]	
0x26	BIOZ Low Threshold[7:0]	BIOZ_LO_THRESH[7:0]							
0x27	BIOZ High Threshold[7:0]	BIOZ_HI_THRESH[7:0]							
0x28	BioZ Configuration 7[7:0]	-	-	-	BIOZ_STBYON	BIOZ_QCLK_PHASE	BIOZ_I_CLK_PHASE	BIOZ_INA_CHOP_EN	BIOZ_CH_FSEL
BioZ Calibration									
0x41	BioZ Mux Configuration 1[7:0]	BMUX_RSEL[1:0]		BMUX_BIST_EN	-	-	CONNECT_CAL_ONLY	MUX_EN	CAL_EN
0x42	BioZ Mux Configuration 2[7:0]	BMUX_GSR_RSEL[1:0]		GSR_LOAD_EN	-	-	-	EN_EXT_INLOAD	EN_INT_INLOAD
0x43	BioZ Mux Configuration 3[7:0]	BIP_ASSIGN[1:0]		BIN_ASSIGN[1:0]		DRVP_ASSIGN[1:0]		DRVN_ASSIGN[1:0]	
0x44	BioZ Mux Configuration 4[7:0]	BIST_R_ERR[7:0]							
DC Leads Setup									
0x50	DC Leads Configuration[7:0]	EN_LON_DET	EN_LOFF_DET	EN_EXT_LOFF	EN_DRV_OOR	LOFF_IPOL	LOFF_IMAG[2:0]		
0x51	DC Lead Detect Threshold[7:0]	-	-	-	-	LOFF_THRESH[3:0]			
Lead Bias									
0x58	Lead Bias Configuration 1[7:0]	-	-	-	-	RBIAS_VALUE[1:0]	EN_RBIAS_BIP	EN_RBIAS_BIN	
Interrupt Enables									
0x80	Interrupt Enable 1[7:0]	A_FULL_EN	-	FIFO_DATA_READY_EN	FREQ_UNLOCK_EN	FREQ_LOCK_EN	PHASE_UNLOCK_EN	PHASE_LOCK_EN	-
0x81	Interrupt Enable 2[7:0]	LON_EN	BIOZ_OVER_EN	BIOZ_UNDR_EN	DRV_OR_EN	DC_LOFF_PH_EN	DC_LOFF_PL_EN	DC_LOFF_NH_EN	DC_LOFF_NL_EN
Part ID									
0xFF	Part ID[7:0]	PART_ID[7:0]							

Applications Information

Patient Safety

Whenever applying a voltage or current to a human body, patient safety must be the top priority. According to IEC 60601-1, the maximum allowable AC patient auxiliary current under normal condition is 100 μ A at low frequencies such as 50Hz or 60Hz. As frequency increases, the allowable current also increases. The end application designers are always responsible to ensure patient safety, and the MAX30009 does not guarantee that stimulus signals comply with IEC 60601-1.

To facilitate patient safety in the current-drive mode, the MAX30009 limits the drive current setting according to the stimulus frequency as shown in [Table 10](#). If the host controller writes a value outside of the allowed range to either the frequency divider or the current magnitude register fields, BIOZ_VDRV_MAG[5:4](0x22) and BIOZ_IDRV_RGE[3:2](0x22) are automatically overwritten to the maximum allowed setting. To enable high-frequency, high-current stimulus, the host controller must first set f_{STIM} and then set I_{MAG} . If the application uses the optional R_{EXT} to set the current magnitude, this lockout feature does not apply.

Table 10. Allowed Current Magnitudes vs. Frequency

FREQUENCY RANGE (Hz)	MAXIMUM CURRENT (μ A)
<512	64
\geq 512	128
\geq 2048	256
\geq 8192	640
\geq 16384	1280

In the voltage or H-bridge drive mode, the MAX30009 does not limit the patient current, and compliance must be achieved with external current-limiting resistors between the drive electrodes, and the EL1 and EL4 pins. Choose the resistance to limit the current to $V_{MAG} / (2 \times R_{SERIES})$ if the electrode and body impedances are very small. In the H-bridge mode, V_{MAG} is equal to AVDD.



Multichannel ISM Band FSK/GFSK/OOK/GOOK/ASK Transmitter

ADF7012

FEATURES

- Single-chip, low power UHF transmitter
- 75 MHz to 1 GHz frequency operation
- Multichannel operation using fractional-N PLL
- 2.3 V to 3.6 V operation
- On-board regulator
- Programmable output power
 - 16 dBm to +14 dBm, 0.4 dB steps
- Data rates: dc to 179.2 kbps
- Low current consumption
 - 868 MHz, 10 dBm, 21 mA
 - 433 MHz, 10 dBm, 17 mA
 - 315 MHz, 0 dBm, 10 mA
- Programmable low battery voltage indicator
- 24-lead TSSOP

APPLICATIONS

- Low cost wireless data transfer
- Security systems
- RF remote controls
- Wireless metering
- Secure keyless entry

GENERAL DESCRIPTION

The ADF7012 is a low power FSK/GFSK/OOK/GOOK/ASK UHF transmitter designed for short-range devices (SRDs). The output power, output channels, deviation frequency, and modulation type are programmable by using four, 32-bit registers.

The fractional-N PLL and VCO with external inductor enable the user to select any frequency in the 75 MHz to 1 GHz band. The fast lock times of the fractional-N PLL make the ADF7012 suitable in fast frequency hopping systems. The fine frequency deviations available and PLL phase noise performance facilitates narrow-band operation.

There are five selectable modulation schemes: binary frequency shift keying (FSK), Gaussian frequency shift keying (GFSK), binary on-off keying (OOK), Gaussian on-off keying (GOOK), and amplitude shift keying (ASK). In the compensation register, the output can be moved in <1 ppm steps so that indirect compensation for frequency error in the crystal reference can be made.

A simple 3-wire interface controls the registers. In power-down, the part has a typical quiescent current of <0.1 μ A.

FUNCTIONAL BLOCK DIAGRAM

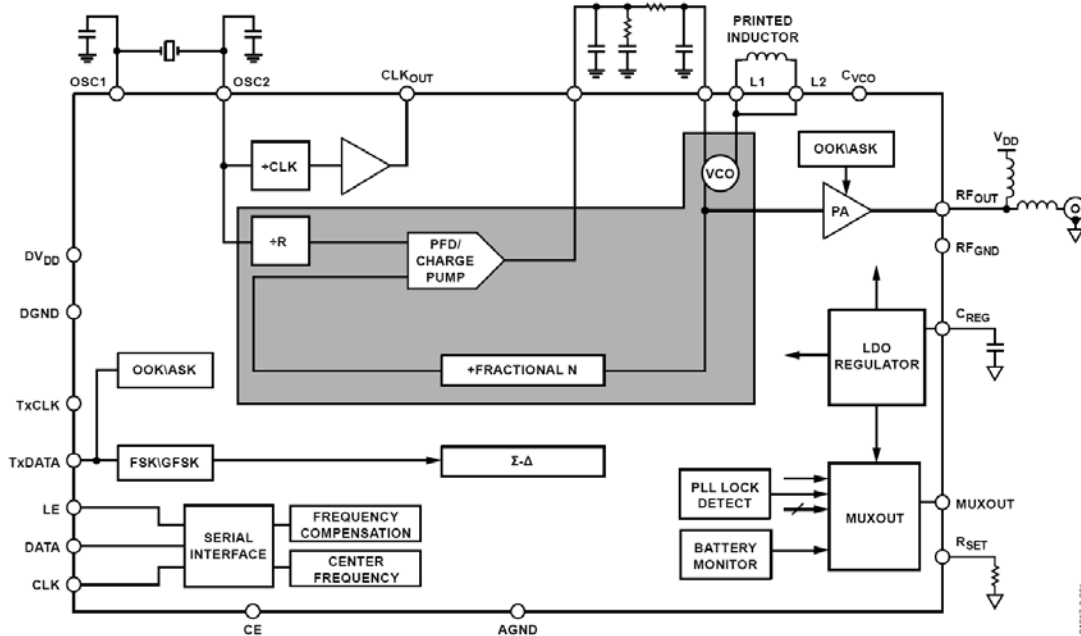


Figure 1.

04817-0-001

SPECIFICATIONS

$DV_{DD} = 2.3\text{ V} - 3.6\text{ V}$; $AGND = DGND = 0\text{ V}$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Operating temperature range is -40°C to $+85^\circ\text{C}$.

Table 1.

Parameter	B Version	Unit	Conditions/Comments
RF OUTPUT CHARACTERISTICS			
Operating Frequency	75/1000	MHz min/max	VCO range adjustable using external inductor; divide-by-2, -4, -8 options may be required
Phase Frequency Detector	$F_{RF}/128$	Hz min	
MODULATION PARAMETERS			
Data Rate FSK/GFSK	179.2	kbps	Using 1 MHz loop bandwidth
Data Rate ASK/OOK	64	Kbps	Based on US FCC 15.247 specifications for ACP; higher data rates are achievable depending on local regulations
Deviation FSK/GFSK	$PFD/2^{14}$	Hz min	For example, 10 MHz PFD – deviation min = $\pm 610\text{ Hz}$
	$511 \times PFD/2^{14}$	Hz max	For example, 10 MHz PFD – deviation max = $\pm 311.7\text{ kHz}$
GFSK BT	0.5	typ	
ASK Modulation Depth	25	dB max	
OOK Feedthrough (PA Off)	-40	dBm typ	$F_{RF} = F_{VCO}$
	-80	dBm typ	$F_{RF} = F_{VCO}/2$
POWER AMPLIFIER PARAMETERS			
Maximum Power Setting, $DV_{DD} = 3.6\text{ V}$	14	dBm	$F_{RF} = 915\text{ MHz}$, PA is matched into $50\ \Omega$
Maximum Power Setting, $DV_{DD} = 3.0\text{ V}$	13.5	dBm	$F_{RF} = 915\text{ MHz}$, PA is matched into $50\ \Omega$
Maximum Power Setting, $DV_{DD} = 2.3\text{ V}$	12.5	dBm	$F_{RF} = 915\text{ MHz}$, PA is matched into $50\ \Omega$
Maximum Power Setting, $DV_{DD} = 3.6\text{ V}$	14.5	dBm	$F_{RF} = 433\text{ MHz}$, PA is matched into $50\ \Omega$
Maximum Power Setting, $DV_{DD} = 3.0\text{ V}$	14	dBm	$F_{RF} = 433\text{ MHz}$, PA is matched into $50\ \Omega$
Maximum Power Setting, $DV_{DD} = 2.3\text{ V}$	13	dBm	$F_{RF} = 433\text{ MHz}$, PA is matched into $50\ \Omega$
PA Programmability	0.4	dB typ	PA output = -20 dBm to $+13\text{ dBm}$
POWER SUPPLIES			
DV_{DD}	2.3/3.6	V min/V max	
Current Consumption			$DV_{DD} = 3.0\text{ V}$, PA is matched into $50\ \Omega$, $I_{VCO} = \text{min}$
315 MHz, 0 dBm/5 dBm	8/14	mA typ	
433 MHz, 0 dBm/10 dBm	10/18	mA typ	
868 MHz, 0 dBm/10 dBm/14 dBm	14/21/32	mA typ	
915 MHz, 0 dBm/10 dBm/14 dBm	16/24/35	mA typ	
VCO Current Consumption	1/8	mA min/max	VCO current consumption is programmable
Crystal Oscillator Current Consumption	190	μA typ	
Regulator Current Consumption	280	μA typ	
Power-Down Current	0.1/1	μA typ/max	
REFERENCE INPUT			
Crystal Reference Frequency	3.4/26	MHz min/max	
Single-Ended Reference Frequency	3.4/26	MHz min/max	
Crystal Power-On Time 3.4 MHz/26 MHz	1.8/2.2	ms typ	CE to clock enable valid
Single-Ended Input Level	CMOS levels		Refer to the LOGIC INPUTS parameter. Applied OSC 2, oscillator circuit disabled.

ADF7012

Parameter	B Version	Unit	Conditions/Comments
PHASE-LOCKED LOOP PARAMETERS			
VCO Gain			
315 MHz	22	MHz/V typ	VCO divide-by-2 active
433 MHz	24	MHz/V typ	VCO divide-by-2 active
868 MHz	80	MHz/V typ	
915 MHz	88	MHz/V typ	
VCO Tuning Range	0.3/2.0	V min/max	
Spurious (IVCO Min/Max)	-65/-70	dBc	I _{VCO} is programmable
Charge Pump Current			
Setting [00]	0.3	mA typ	Referring to DB[7:6] in Function Register
Setting [01]	0.9	mA typ	Referring to DB[7:6] in Function Register
Setting [10]	1.5	mA typ	Referring to DB[7:6] in Function Register
Setting [11]	2.1	mA typ	Referring to DB[7:6] in Function Register
Phase Noise (In band) ¹			
315 MHz	-85	dBc/Hz typ	PF _D = 10 MHz, 5 kHz offset, I _{VCO} = 2 mA
433 MHz	-83	dBc/Hz typ	PF _D = 10 MHz, 5 kHz offset, I _{VCO} = 2 mA
868 MHz	-80	dBc/Hz typ	PF _D = 10 MHz, 5 kHz offset, I _{VCO} = 3 mA
915 MHz	-80	dBc/Hz typ	PF _D = 10 MHz, 5 kHz offset, I _{VCO} = 3 mA
Phase Noise (Out of Band) ¹			
315 MHz	-103	dBc/Hz typ	PF _D = 10 MHz, 1 MHz offset, I _{VCO} = 2 mA
433 MHz	-104	dBc/Hz typ	PF _D = 10 MHz, 1 MHz offset, I _{VCO} = 2 mA
868 MHz	-115	dBc/Hz typ	PF _D = 10 MHz, 1 MHz offset, I _{VCO} = 3 mA
915 MHz	-114	dBc/Hz typ	PF _D = 10 MHz, 1 MHz offset, I _{VCO} = 3 mA
Harmonic Content (Second) ²	-20	dBc typ	F _{RF} = F _{VCO}
Harmonic Content (Third) ²	-30	dBc typ	
Harmonic Content (Others) ²	-27	dBc typ	
Harmonic Content (Second) ²	-24	dBc typ	F _{RF} = F _{VCO} /N (where N = 2, 4, 8)
Harmonic Content (Third) ²	-14	dBc typ	
Harmonic Content (Others) ²	-19	dBc typ	
LOGIC INPUTS			
Input High Voltage, V _{INH}	0.7 × DV _{DD}	V min	
Input Low Voltage, V _{INL}	0.2 × DV _{DD}	V max	
Input Current, I _{INH} /I _{INL}	±1	μA max	
Input Capacitance, C _{IN}	4.0	pF max	
LOGIC OUTPUTS			
Output High Voltage, V _{OH}	DV _{DD} - 0.4	V min	CMOS output chosen
Output High Current, I _{OH}	500	μA max	
Output Low Voltage, V _{OL}	0.4	V max	I _{OL} = 500 μA

¹ Measurements made with N_{FRAC} = 2048.

² Measurements made without harmonic filter.

ADF7012

433 MHz

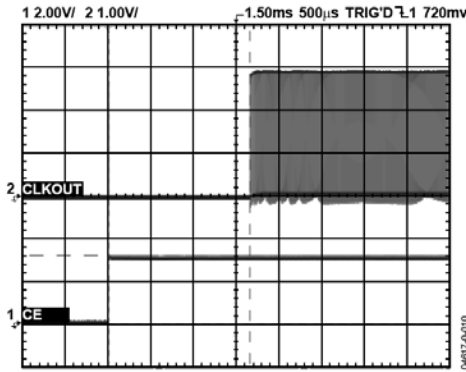


Figure 10. Crystal Power-On Time, 4 MHz, Time = 1.6 ms

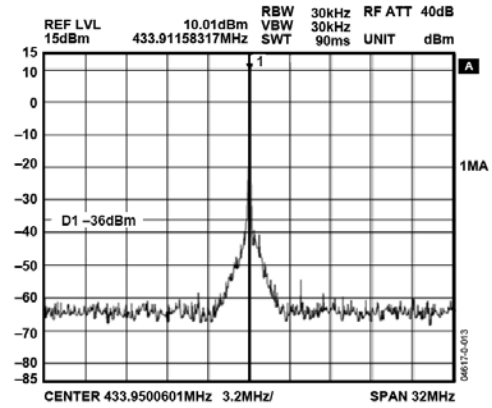


Figure 13. Spurious Components—Meets ETSI Specs

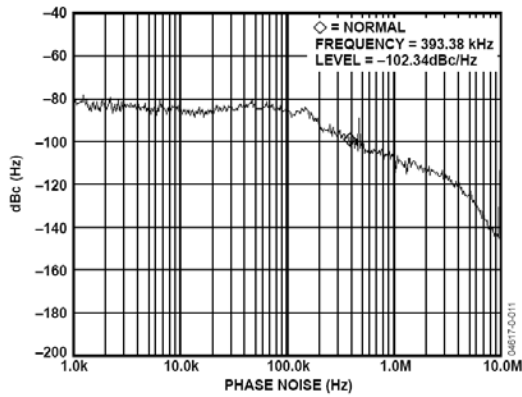


Figure 11. Phase Noise Response— $I_{CP} = 2.0$ mA, $I_{VCO} = 2.0$ mA, $R_{Fout} = 433.92$ MHz, $PFD = 4$ MHz, PA Bias = 5.5 mA

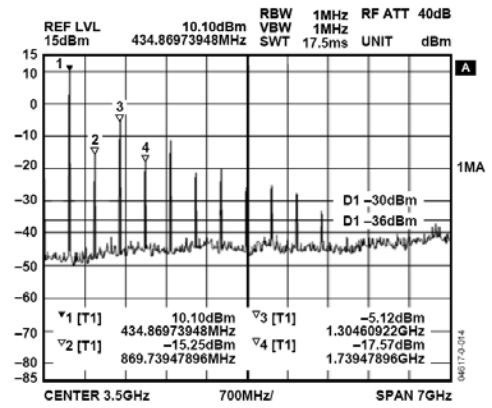


Figure 14. Harmonic Response, R_{Fout} Matched to 50 Ω , No Filter

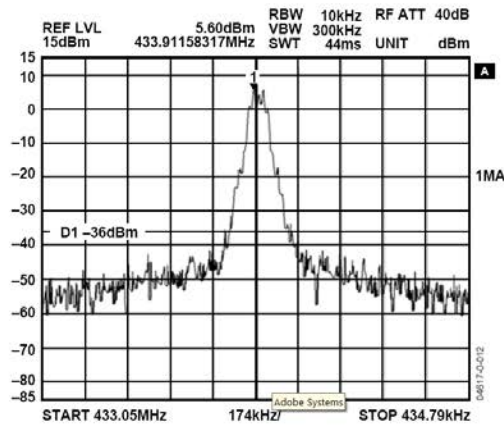


Figure 12. FSK Modulation, Power = 10 dBm, Data Rate = 38.4 kbps, $F_{DEVIATION} = \pm 19.28$ kHz

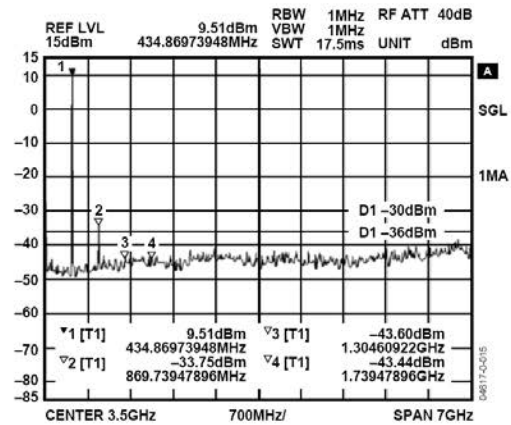


Figure 15. Harmonic Response, Fifth-Order Butterworth Filter

CIRCUIT DESCRIPTION

PLL OPERATION

A fractional-N PLL allows multiple output frequencies to be generated from a single-reference oscillator (usually a crystal) simply by changing the programmable N value found in the N register. At the phase frequency detector (PFD), the reference is compared to a divided-down version of the output frequency (VCO/N). If VCO/N is too low a frequency, typically the output frequency is lower than desired, and the PFD and charge-pump combination sends additional current pulses to the loop filter. This increases the voltage applied to the input of the VCO. Because the VCO of the ADF7012 has a positive frequency vs. voltage characteristic, any increase in the V_{TUNE} voltage applied to the VCO input increases the output frequency at a rate of kilovolts, the tuning sensitivity of the VCO (MHz/V). At each interval of 1/PFD seconds, a comparison is made at the PFD until the PFD and charge pump eventually force a state of equilibrium in the PLL where PFD frequency = VCO/N. At this point, the PLL can be described as locked.

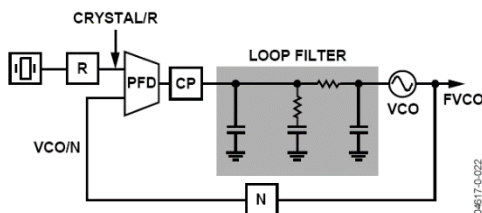


Figure 26. Fractional-N PLL

$$F_{OUT} = \frac{F_{CRYSTAL} \times N}{R} = F_{PFD} \times N \quad (1)$$

For a fractional-N PLL

$$F_{OUT} = F_{PFD} \times \left(N_{INT} + \frac{N_{FRAC}}{2^{12}} \right) \quad (2)$$

where N_{FRAC} can be Bits M1 to M12 in the fractional-N register.

CRYSTAL OSCILLATOR

The on-board crystal oscillator circuitry (Figure 27) allows an inexpensive quartz crystal to be used as the PLL reference. The oscillator circuit is enabled by setting XOEB low. It is enabled by default on power-up and is disabled by bringing CE low. Errors in the crystal can be corrected using the error correction register within the R register.

A single-ended reference may be used instead of a crystal, by applying a square wave to the OSC2 pin, with XOEB set high.

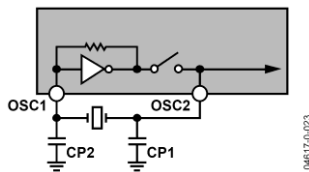


Figure 27. Oscillator Circuit on the ADF7012

Two parallel resonant capacitors are required for oscillation at the correct frequency—the value of these depend on the crystal specification. They should be chosen so that the series value of capacitance added to the PCB track capacitance adds to give the load capacitance of the crystal, usually 20 pF. Track capacitance values vary between 2 pF to 5 pF, depending on board layout.

Where possible, to ensure stable frequency operation over all conditions, capacitors should be chosen so that they have a very low temperature coefficient and/or opposite temperature coefficients

Typically, for a 10 MHz crystal with 20 pF load capacitance, the oscillator circuit can tolerate a crystal ESR value of ≤ 50 Ω. The ESR tolerance of the ADF7012 decreases as crystal frequency increases, but this can be offset by using a crystal with lower load capacitance.

LOOP FILTER

The loop filter integrates the current pulses from the charge pump to form a voltage that tunes the output of the VCO to the desired frequency. It also attenuates spurious levels generated by the PLL. A typical loop filter design is shown in Figure 29.

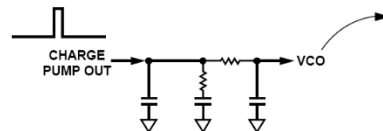


Figure 29. Typical Loop Filter

In FSK, it is recommended that the loop bandwidth be a minimum of two to three times the data rate. Widening the LBW excessively reduces the time spent jumping between frequencies, but results in reduced spurious attenuation. See the Tips on Designing the Loop Filter section.

VOLTAGE-CONTROLLED OSCILLATOR (VCO)

The ADF7012 features an on-chip VCO with an external tank inductor, which is used to set the frequency range. The center frequency of oscillation is governed by the internal varactor capacitance and that of the external inductor combined with the bond-wire inductance. An approximation for this is given in Equation 4. For a more accurate selection of the inductor, see the section Choosing the External Inductor Value.

$$F_{VCO} = \frac{1}{2\pi\sqrt{(L_{INT} + L_{EXT}) \times (C_{VAR} + C_{FIXED})}} \quad (4)$$

The varactor capacitance can be adjusted in software to increase the effective VCO range by writing to the VA1 and VA2 bits in the R register. Under typical conditions, setting VA1 and VA2 high increases the center frequency by reducing the varactor capacitance by approximately 1.3 pF.

Figure 37 shows the variation of VCO gain with frequency. VCO gain is important in determining the loop filter design—predictable changes in VCO gain resulting in a change in the loop filter bandwidth can be offset by changing the charge-pump current in software.

VCO Bias Current

VCO bias current may be adjusted using bits VB1 to VB4 in the function register. Additional bias current will reduce spurious levels, but increase overall current consumption in the part. A bias value of 0x5 should ensure oscillation at most frequencies and supplies. Settings 0x0, 0xE, and 0xF are not recommended. Setting 0x3 and Setting 0x4 are recommended under most conditions. Improved phase noise can be achieved for lower bias currents.

FSK MODULATION

FSK modulation is performed internally in the PLL loop by switching the value of the N register based on the status of the TxDATA line. The TxDATA line is sampled at each cycle of the PFD block (every $1/F_{PFD}$ seconds). When TxDATA makes a low-to-high transition, an N value representing the deviation frequency is added to the N value representing the center frequency. Immediately the loop begins to lock to the new frequency of $F_{CENTER} + F_{DEVIATION}$. Conversely, when TxDATA makes a high-to-low transition, the N value representing the deviation is subtracted from the PLL N value representing the center frequency and the loop transitions to $F_{CENTER} - F_{DEVIATION}$.

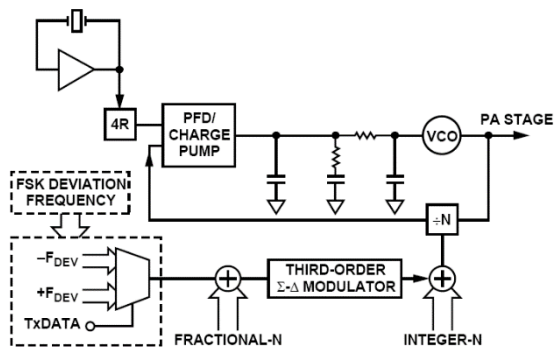


Figure 30. FSK Implementation

The deviation from the center frequency is set using the D1 to D9 bits in the modulation register. The frequency deviation may be set in steps of

$$F_{STEP} (Hz) = \frac{F_{PFD}}{2^{14}} \quad (5)$$

The deviation frequency is therefore

$$F_{DEVIATION} (Hz) = \frac{F_{PFD} \times ModulationNumber}{2^{14}} \quad (6)$$

where *ModulationNumber* is set by Bit D1 to Bit D9.

The maximum data rate is a function of the PLL lock time (and the requirement on FSK spectrum). Because the PLL lock time is reduced by increasing the loop-filter bandwidth, highest data rates can be achieved for the wider loop filter bandwidths. The absolute maximum limit on loop filter bandwidth to ensure stability for a fractional-N PLL is $F_{PFD}/7$. For a 20 MHz PFD frequency, the loop bandwidth could be as high as 2.85 MHz. FSK modulation is selected by setting the S1 and S2 bits in the modulation register low.

POWER AMPLIFIER

The output stage is based on a Class E amplifier design, with an open-drain output switched by the VCO signal. The output control consists of six current mirrors operating as a programmable current source.

To achieve maximum voltage swing, the RF_{OUT} pin needs to be biased at DV_{DD}. A single pull-up inductor to DV_{DD} ensures a current supply to the output stage; PA is biased to DV_{DD} volts, and with the correct choice of value transforms the impedance.

The output power can be adjusted by changing the value of Bit P1 to Bit P6. Typically, this is P1 to P6 output -20dBm at 0x0, and 13 dBm at 0x7E at 868 MHz, with the optimum matching network.

The nonlinear characteristic of the output stage results in an output spectrum containing harmonics of the fundamental, especially the third and fifth. To meet local regulations, a low-pass filter usually is required to filter these harmonics.

The output stage can be powered down by setting Bit PD2 in the function register low.

THEORY OF OPERATION

CHOOSING THE EXTERNAL INDUCTOR VALUE

The ADF7012 allows operation at many different frequencies by choosing the external VCO inductor to give the correct output frequency. Figure 36 shows both the minimum and maximum frequency vs. the inductor value. These are measurements based on 0603 CS type inductors from Coilcraft, and are intended as guidelines in choosing the inductor because board layout and inductor type varies between applications.

The inductor value should be chosen so that the VCO is centered at the correct frequency. When locked, the VCO tuning voltage can be between 0.2 V and 2.1 V. This voltage can be measured at Pin 18 (VCO_{IN}). To ensure operation over temperature and from part to part, an inductor should be chosen so that the tuning voltage is ~1 V at the desired output frequency.

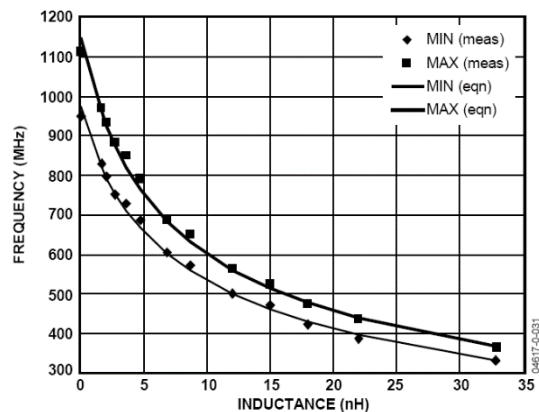


Figure 36. Output Frequency vs. External Inductor Value
I_{BIAS} = 2.0 mA.

TIPS ON DESIGNING THE LOOP FILTER

The loop filter design is crucial in ensuring stable operation of the transmitter, meeting adjacent channel power (ACP) specifications, and meeting spurious requirements for the relevant regulations.

Charge-Pump Current

The charge-pump current allows the loop filter bandwidth to be changed using the registers. The loop bandwidth reduces as the charge pump current is reduced and vice versa.

Selecting Loop Filter Bandwidth

Data Rate

The loop filter bandwidth should usually be at two to three times the data rate. This ensures that the PLL has ample time to jump between the mark and space frequencies.

ACP

In the case where the ACP specifications are difficult to meet, the loop filter bandwidth can be reduced further to reduce the phase noise at the adjacent channel. The filter rolls off at 20 dB per decade.

Setting Tuning Sensitivity Value

The tuning sensitivity or k_V , usually denoted in MHz/V, is required for the loop filter design. It refers to the amount that a change of a volt in the voltage applied to the VCO_{IN} pin, changes the output frequency. Typical data for the ADF7012 over a frequency range is shown.

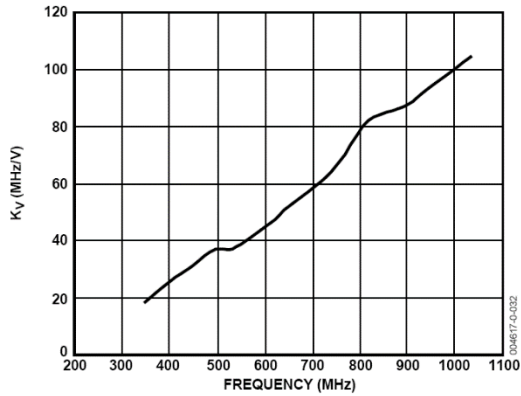


Figure 37. k_V vs. VCO Frequency

APPLICATION EXAMPLES

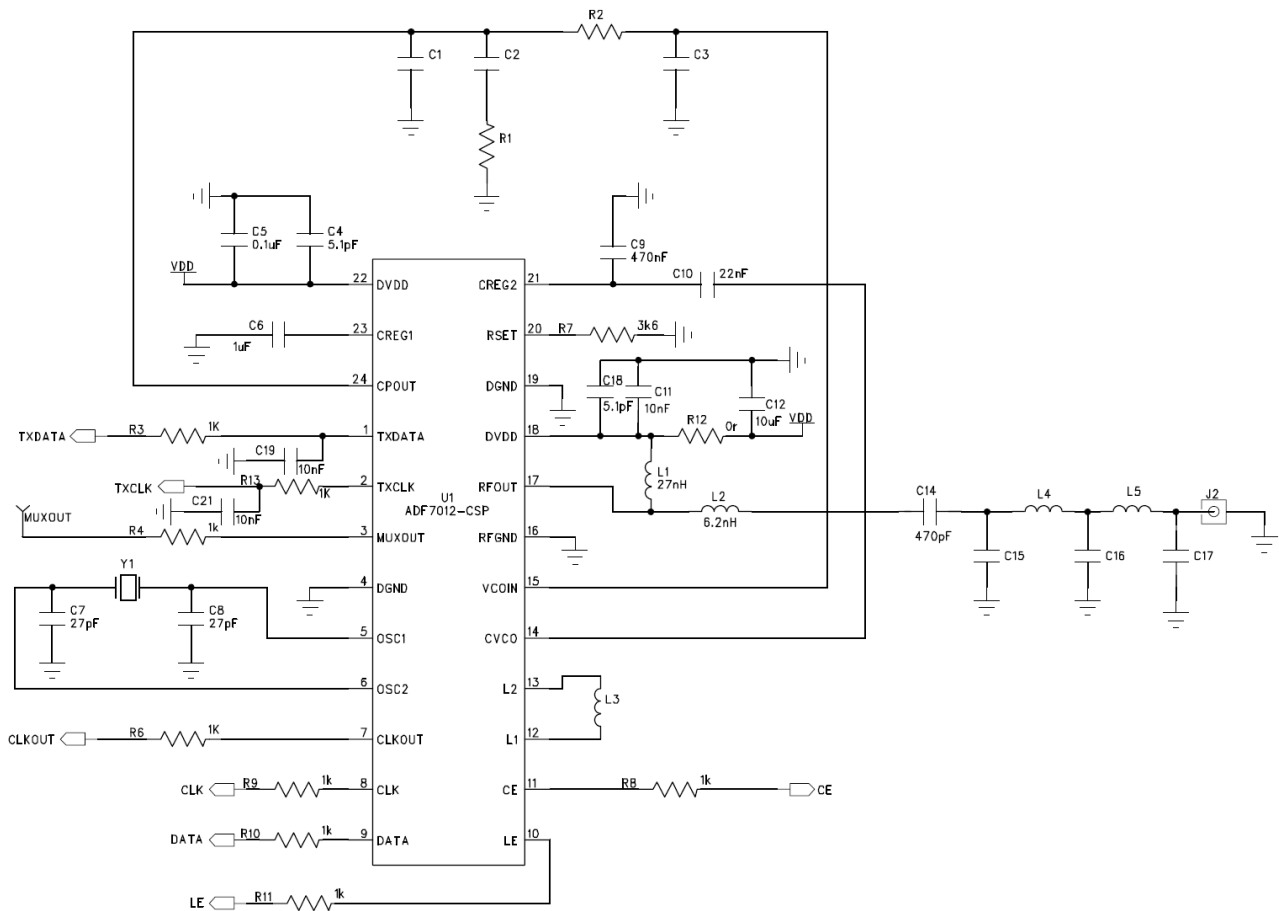


Figure 40. Applications Diagram with Harmonic Filter

REGISTER 1: N-COUNTER LATCH

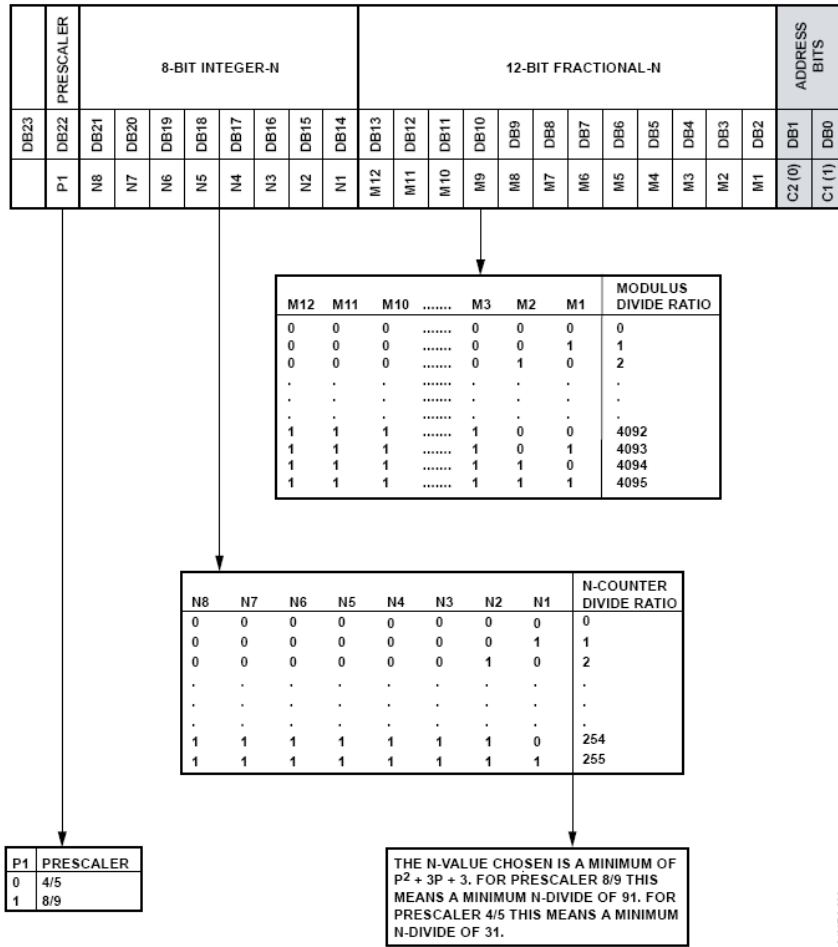


Figure 42. Register 1: N-Counter Latch

REGISTER 2: MODULATION REGISTER

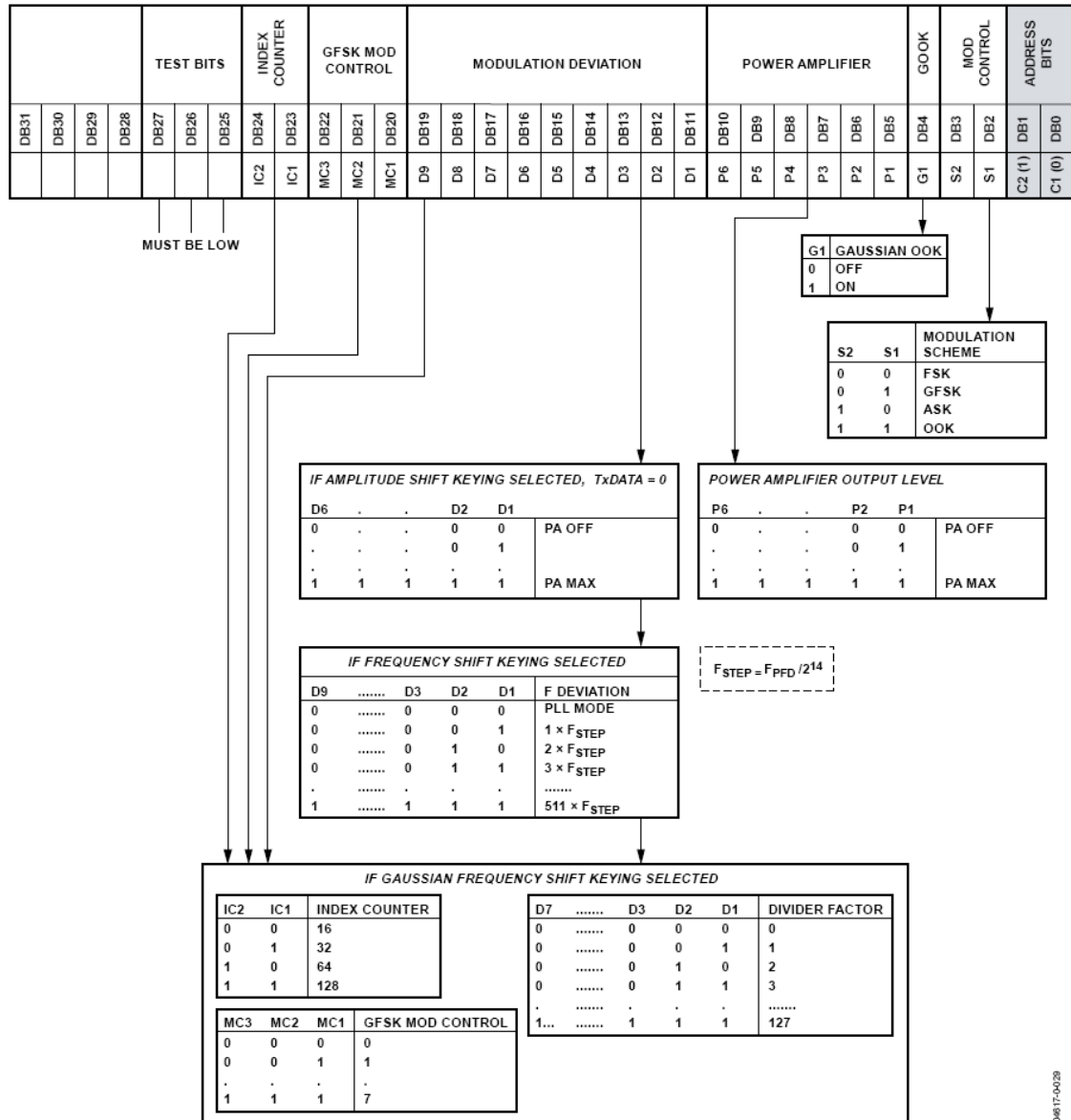


Figure 43. Register 2: Modulation Register

04617-0428

Modèle CMEN v3

Nom de famille :
(Suivi, s'il y a lieu, du nom d'usage)

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--



Prénom(s) :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

**Numéro
Candidat :**

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

**Né(e)
le :**

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

Cadre réservé aux candidats de concours de recrutement et examens professionnels

Concours : **Option / Section :**

N° d'inscription :

--	--	--	--

Cocher une seule case parmi les six types de concours suivants :

externe 3^e externe externe spécial interne ou 1^{er} interne 2nd interne 2nd interne spécial

Cocher public OU privé
UNIQUEMENT pour les
concours enseignants :

public privé

Examen professionnel pour l'avancement au grade de :

Cadre réservé aux candidats d'examens et du concours général

Examen : **Série / Spécialité :**

Epreuve - Matière : **Session :**

EAE SIE 2

DR 1 - DR 2 - DR 3

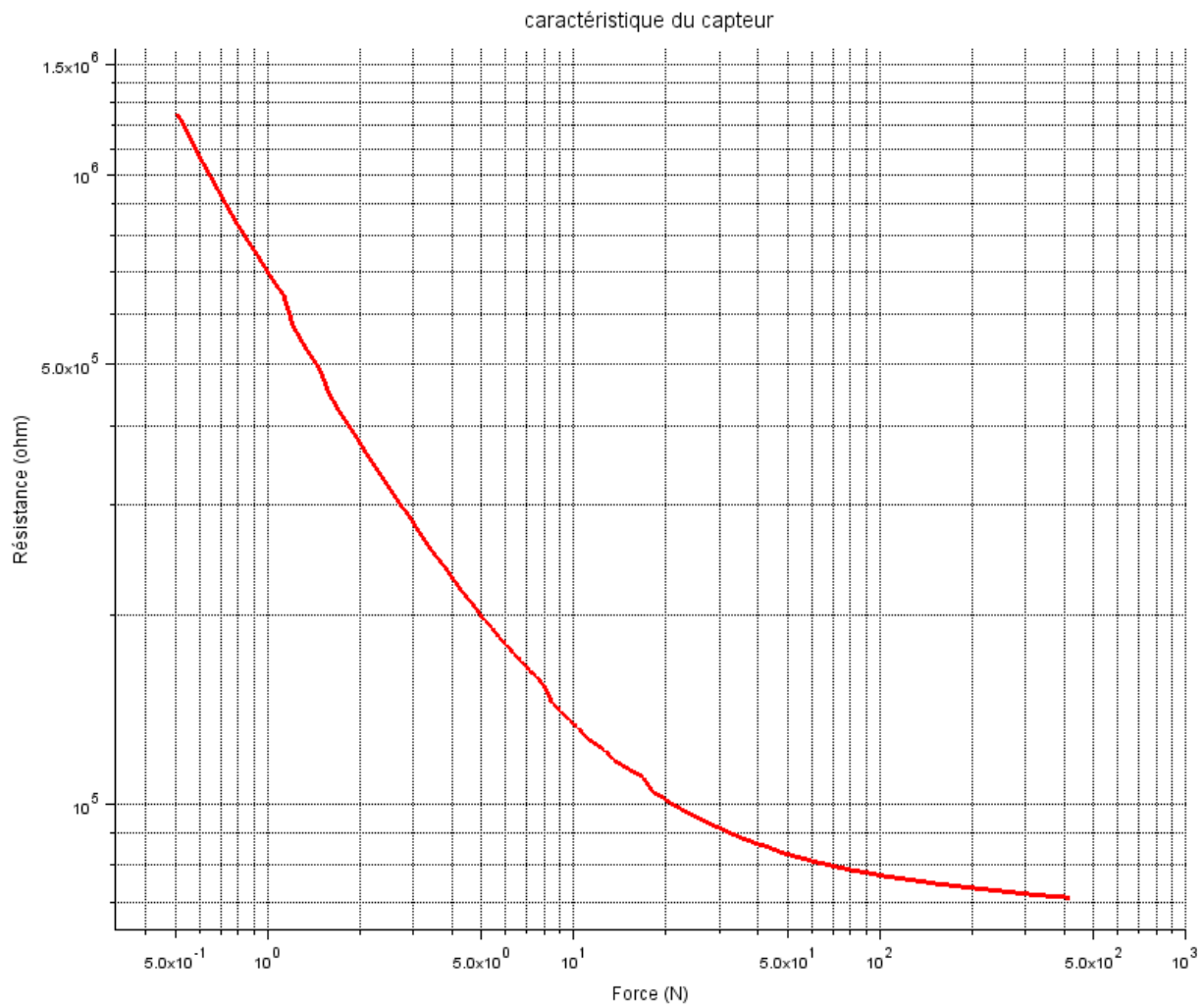
**Tous les documents réponses sont à rendre,
même non complétés.**

Tournez la page S.V.P.

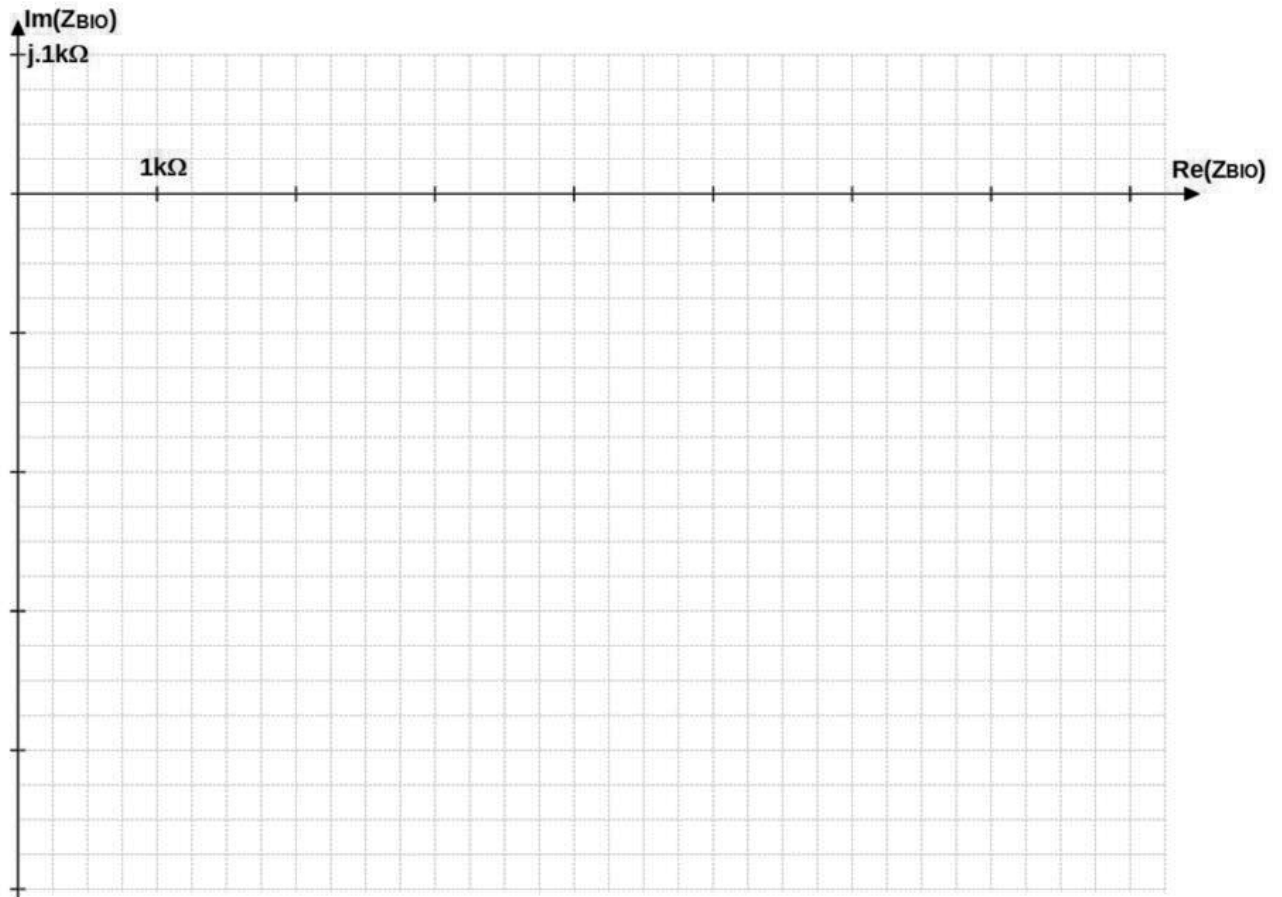


NE RIEN ECRIRE DANS CE CADRE

DR1 (question 9)



DR2 (question 17)



DR3 (question 47)

